

UPA – zkouškové otázky z minulých let

1. Mas paměť o vel. 256mb, cache 128kb s 8byte bloky. Cache je prima. Mas realizovat ctění. Nakreslit obr, popsat, dimenzovat dat. toky. UPA_1.1
2. Co je hazard u riscu, jak tomu zabránit případně to omezit UPA_1.2 UPA_3(str1)
3. V pseudokódu mas pro různé rypy architektur realizovat následující operace
 $a = b + c$
 $b = a + c$
 $d = a - d$
pro Zásobníkovou arch, Akumulátor, Risc, Memory-to-Memory UPA_2(str3)
4. Multiplexor 1 ze 4 - kolik vstupu, výstupu, navrhnout UPA_1.4
5. Násobení Boothovym algoritmem, princip, jednoduchý vývojak + zhruba navrhnout hardwarovou jednotku. UPA_1.5 UPA_2(str5)
6. Popište funkce Linkeru, a jaké datové struktury využívá. [4b] UPA_1.6 UPA_2(str2)
7. Vysvětlete princip urychlení práce paralelní binární sčítačky. Nakreslete odpovídající schéma pro sirku n-bitu. UPA_1.8 UPA_2(str4)
8. V souvislosti s procesy typu RISC vysvětlete pojem řídicí hazard (hazard řízení) a okolnosti, kdy k němu může dojít. Naznačte, jak lze tento problém řešit nebo alespoň omezit. UPA_1.2 UPA_3(str1) přednáška 13(str53)
9. Popište vnitřní strukturu multiplexoru se 4 datovými vstupy. Určete celkový počet vstupu a výstupu. Nakreslete. UPA_3(str4)
10. Počítač má hlavní paměť o kapacitě 128MB. Cache paměť má kapacitu 128KB a je organizována jako dvoucestná "částečně" asociativní cache s velikostí bloku 16Byte. Nakreslete stručně výběrový mechanismus při operaci ctění (tím je myšlen mechanismus, kterým se rozpozná, zda požadovaná data jsou v cache paměti a přístup k nim). Dimenzujte správné jednotlivé datové a výběrové linky. UPA_1.9
11. Uveďte základní charakteristiky instrukčních souboru procesoru typu RISC. Jakým způsobem je organizován přístup do operační paměti. UPA_1.10 UPA_3(str1)
12. Popište, jakým způsobem se zobrazují čísla v pohyblivé radové čárce. Jednotlivé složky čísla jsou uložena ve slově v určitém pořadí, uveďte důvody. UPA_1.11 UPA_2(str6)
13. Popište algoritmus pro dělení binárních čísel, nejlépe formou vývojového diagramu. Nakreslete operační jednotku, která by byla schopna navržený algoritmus provádět. UPA_1.12 UPA_3(str7)
14. Formou vývojového diagramu vysvětlete klasický algoritmus operace násobení binárních čísel s testem jednoho bitu a s posuvem rovněž o jeden bit [2] navrhnete operační jednotku pro provádění tohoto alg. pokuste se zdůvodnit z které strany se obvykle postupuje při testování násobitele [2] UPA_1.13 UPA_2(str4)
15. Vysvětlete a pojmenujte na obrázku uvedeny adresovy režim. Pro které objekty a konstrukce je tento adresový režim vhodný? UPA_1.34

- 16.** Vysvětlete princip mikroprogramového řízení (mikroprogramový automat a jeho strukturu). [4] [UPA_1.15](#) [UPA_3\(str3\)](#) přednáška 11(str30)
- 17.** Navrhněte funkční blok "posuvný registr" o délce 8 bitů. pro jeho návrh vyberte libovolný typ klopného obvodu. [4] [UPA_1.16](#)
- 18.** Hlavní paměť = 256MB, cache = 64KB je organizovaná jako čtyřcestná "castecne" asociativní cache s velikostí bloku 8 byte. Nakreslete a popište stručně výběrový mechanismus při operaci čtení (tím je myšlen mechanismus, kterým se rozpozná, zda požadovaná data jsou v cache paměti a přístup k nim). Dimenzujte správné jednotlivé datové a výběrové linky. [4] [UPA_1.17](#)
- 19.** Uveďte co je to přerušovací vektor, o jaký typ informace se jedná a jak je v systému používán. Kde ho lze vlastně nalézt? [4] [UPA_3\(str3\)](#) [UPA_1.19](#)
- 20.** Vysvětlete co je to systém dynamické transformace adresy (virtuální paměť). [2] uveďte alespoň jeden typ transformačního mechanismu. [2] [UPA_1.20](#) [manas\(str223\)](#)
- 21.** Popište způsoby zápisu dat do paměti, pokud je v systému přítomná cache. [UPA_1.21](#) [UPA_3\(str2\)](#)
- 22.** Co je to datový hazard? Jak může vzniknout? Uveďte příklad. [UPA_1.2](#) [UPA_3\(str1\)](#) přednáška 13(str52)
- 23.** Navrhněte kombinační logický obvod "prioritní funkce". Obvod má 4 vstupy (číslované od 0 do 3) a 3 výstupy. První výstup je v 1, pokud byla alespoň na jeden vstup přivedena 1. Na dalších dvou výstupech se objeví číslo vstupu, na němž je přivedena 1. Pokud je 1 na více vstupech, pak na výstupu číslo vstupu s nejvyšší prioritou.
- [UPA_1.22](#) [UPA_3\(str11\)](#) [UPA_4.20](#)
- Předpokládejme mikroprocesor s cache, který pracuje následujícím způsobem: pokud je třeba zavést blok, pak je zaveden, provede se výpočet a pak se vyhodí některý ze starých bloků. Rozeberte možnosti použití jednotlivých probíraných implementací cache pro takový mikroprocesor. [UPA_3\(str4\)](#) [UPA_1.23](#)
- 24.** Jakým způsobem je volán podprogram v mikroprocesoru. Jaké operace je třeba provést. [UPA_1.24](#) [UPA_3\(str3\)](#)
- 25.** Vyjmenujte a popište situace, za jakých se může změnit registr PC (Program Counter). [UPA_1.25](#) [UPA_2\(str2\)](#)
- 26.** Jakým způsobem se sčítají 2 desetinná čísla v počítači. [UPA_1.26](#)
- 27.** Nakreslete vývojový diagram pro násobení dvou kladných čísel v počítači. Nakreslete obvod pro realizaci této operace. [UPA_1.27](#)
- 28.** PC má hlavní paměť 1GB a Cache má mít velikost 64KB a je organizována jako přímo mapovaná cache s velikostí bloku 8byte. Nakreslete a stručně popište výběrový mechanismus při operaci čtení. [4b] [UPA_1.28](#) [UPA_3\(str13\)](#)
- 29.** Popište co je v RISC Strukturovaný Hazard a jak je možné ho omezit nebo mu předejít. [4b] [UPA_1.2](#) [UPA_3\(str1\)](#) [manas\(str161\)](#)

30. Navrhněte logický obvod s použitím hradel, který má 3 vstupy a 7 výstupů a je charakterizován funkcí: "Počet aktivních výstupů je roven binárnímu číslu na vstupu". Nakreslete schéma. [2b návrh 2b schéma] [UPA_3\(str11\)](#) [UPA_4.13](#)

31. Popsat zadané operace pomocí čtyř různých architektur.

$$a=(b+c)*c$$

$$b=a*c+c$$

$$d=(a-d)/(a+d)$$

pro Stack-machine, Accumulator machine, Load-Store, Memory-memory

[UPA_2\(str3\)](#) [manas\(str38\)](#) [UPA_4.12](#)

32. Doplňte paralelní binární sčítačku čísel v doplňkovém kódu pro operace (+,-). +,- se volí vstupním signálem. Zdůvodněte. PS: Zde bylo napsáno doplnit, ale nebylo tam do čeho, prostě jste to museli celý navrhnout a načmárat. [4b] [UPA_1.31](#) [UPA_3\(str10\)](#)

33. Paměť 1GB, cache 64kB s 8B bloky. Vhodně dimenzovat datové toky, výběrový mechanismus při čtení a zapisování. Cachem byla myslím plně asociativní. [UPA_1.32](#)

34. Co je to ortogonalita operačního kódu, adresy a ještě něco,... [UPA_1.33](#)

35. Nějaký obrázek s PC a instrukci a odkaz někam do paměti, napsat co je to za adresní režim a k čemu se da využít. [UPA_1.34](#)

36. Navrhnout synchronní 3bitovej čítač. [UPA_1.35](#)

37. Co je to řadič procesoru - popsat a vysvětlit a o jaký logický obvod se jedná. [UPA_1.36](#) [UPA_3\(str1\)](#) [manas\(str94\)](#)

38. Nakreslit algoritmus dělení kladných čísel a navrhnout zapojení, který by to realizovalo. [UPA_3\(str7\)](#) [UPA_schema](#)

39. Plně asociativní CACHE, 128MB, 128KB, 32K [UPA_1.37](#)

40. Co je příčinou fyzických limitů Mooreova zákona? Proč?

[UPA_4.1 přednáška 2\(str32\)](#)

41. Diagram adresního režimu pro výpočet adresy cíle podmíněného skoku.

[UPA_4.2](#) [UPA_1.34](#)

Proč jsou instrukce MIPS lw/sw zařazeny do I-formátu instrukcí? Jaké to přináší výhody pro návrh MIPS ISA? [UPA_4.3](#)

42. Příklad MIPS kódu, který reprezentuje dereferencování pointeru v lw/sw. [UPA_1.42](#)

43. Popište podrobně kroky, které procesor vykonává při provádění instrukce návratu z podprogramu. Začněte přesunem instrukce do instr. registru. [UPA_4.4](#)

44. Navrhněte jednoduchý sekvenční synchron. automat – dvoubitový binární reverzní čítač. [UPA_4.14](#)

45. K čemu se využívají příznaky modifikace a příznak platnosti příslušného bloku cache paměti. Kdy a z jakých důvodů se nastavují popř. nulují. [UPA_4.5](#)

46. Popište algoritmus pro převod čísel ze zobrazení v pohyblivé čárce float (jednoduchá přesnost) do formy zobrazení v pohyblivé řádové čárce double, nejlépe formou vývojového diagramu. Nakreslete strukturu jednoúčelové jednotky, která by byla schopna navržený algoritmus provádět. Využívejte standardní funkční bloky. [UPA_4.6](#)

47. Předpokládejme, že čítač M1 má frekvenci hodin CPU 500MHz a 4 třídy instrukcí. Třída A má $CP1 = 1$, třída B má $CP2 = 2$, třída C má $CP3 = 3$, třída D má $CP4 = 4$. Program obsahuje 20% instrukcí třídy A, 30% B, 10% C, 40% D.

a) Jaká je střední hodnota parametru CPI pro program P?

b) Bude-li program P mít 10 000 instrukcí, jaký bude celkový počet cyklů spotřebovaných pro běh programu a jaký bude celkový čas pro P na stroji M1?

[UPA_4.9](#)

48. Instrukční soubor obsahuje instrukce, které mají jednotnou délku 32 bitů. Velikost paměťového adresného prostoru počítače je 2^{30} bytů. Operační kód zabírá 6 bitů. Uveďte různé způsoby adresování, kterými lze zajistit procesoru přístup k datům v celém adresním prostoru, když na adresu operandu v instrukci tedy zbývá méně než 27 bitů.

[UPA_1.34](#) [UPA_4.3](#)

49. Navrhněte jednoduchý sekvenční synchronní automat – tříbitový čítač, který na svém výstupu generuje periodicky čísla od 0 do 7, nejdříve lichá, pak sudá. Paměťový prvek zvolte.

[UPA_4.15](#)

50. Předpokládejte cache paměť o velikosti 4 bloky. Pro následující sled operací „Load“, kde Load X znamená načíst byte z bloku počínajícího na adrese X, označte každý „Load“ jako „HIT“, povinný „MISS“, konfliktní „MISS“ a nebo kapacitní „MISS“. Předpokládejte, že cache je zpočátku prázdná. Pro každý přístup uveďte typ (jeden z výše uvedených) a pak obsah paměti. Otázku řešte pro následující typy cache paměti: [UPA_4.7](#)

51. Registr o délce 32 bitů obsahuje FP číslo ve standardním formátu. Popište algoritmus pro převod čísla v pohyblivé řádové čárce (float) do formy celočíselné (int), nejlépe formou vývojového diagramu. Nakreslete operační jednotku, která by byla schopna navržený algoritmus provádět. Předpokládejte, že převáděné číslo svou velikostí nepřekračuje rozsah int32. [UPA_4.19](#) [UPA_schema](#)

52. Jaké znáte metody dynamické transformace adresy (virtuální paměť). Míněn je přechod od logické adresy (virtuální-tu, kterou generuje procesor na základě běhu programu) na fyzickou adresu (adresa, která je použita k přístupu do fyzické paměti). Cache paměť neuvažujte. Popište (nebo lépe nakreslete) transformační mechanismy.

[UPA_3\(str3\)](#) [UPA_1.20](#)

53. Je dána dvoucestná cache paměť o kapacitě 2kbyte se 16 byte na jedné řádce a následující kód:

```
for (int i = 0; i < 1000; i++) {  
    A[i] = 40 + B[i];  
}
```

Vypočítejte celkovou četnost výpadků („missrate“) (pro případy, že každý prvek pole zabírá jedno slovo 16 bitů, pak také 32 bitů) Jaké typ lokality je využíván?

[UPA_4.18](#)

Popište, jakým způsobem se dělí čísla v pohyblivé řádové čárce. Popište podrobně jednotlivé kroky (popřípadně znázorněte vývojové diagramem), které je třeba postupně provést. Vlastní operaci dělení – proces získání cifer podílu nepopisujte, vyjádřete jej jako funkční blok. Jeho vstupy a výstupy je potřeba specifikovat. [UPA_4.11](#) [UPA_schema](#)

54. Vysvětlete, co jsou zarovnaná (nezarovnaná) data, popř. instrukce. Existují procesory, které s nezarovnanými daty popř. instrukcemi dokážou pracovat, jiné typy to nepřipouští. Porovnejte obě varianty (+-), jaké jsou výhody a nevýhody obou řešení. [UPA_4.8](#)