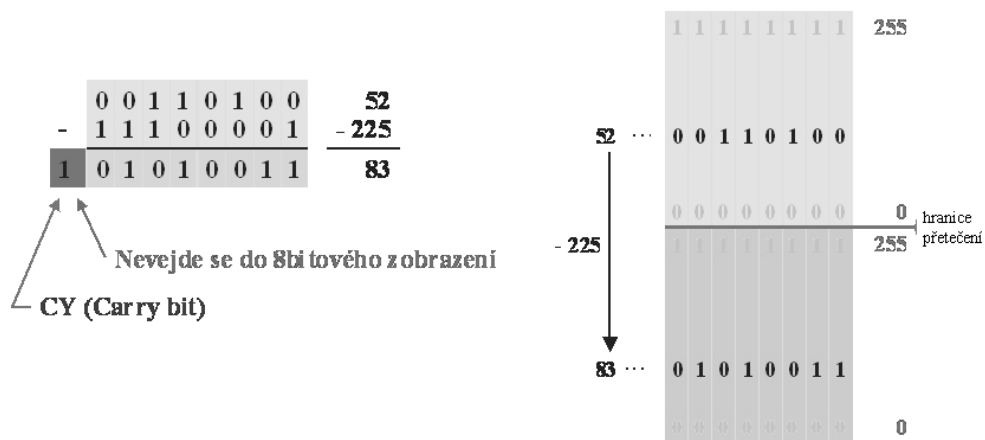


Znaménko 1. operandu	Znaménko 2. operandu	Znaménko výsledku	Operace	OV
+	+	+	ADD	0
+	+	-	ADD	1
-	-	-	ADD	0
-	-	+	ADD	1
+	-	+	SUB	0
+	-	-	SUB	1
-	+	-	SUB	0
-	+	+	SUB	1
+	-	×	ADD	0
-	-	×	SUB	0
+	+	×	SUB	0

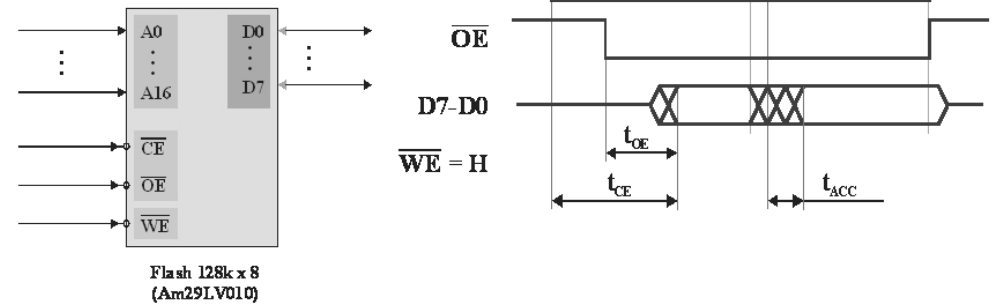
Odečítání unsigned integer

Při překročení rozsahu zobrazení dojde k přetečení ⇒ dostaneme nesprávný výsledek.



Použití paměti flash

- Čtecí cykl – jednoduchý.
- Zápisový cykl – složitější, musí se kontrolovat časování + speciální programovací sekvence.
- Typické hodnoty:
 - $t_{OE} = 25 \text{ ns}$
 - $t_{CE} = 45 \text{ ns}$
 - $t_{ACC} = 45 \text{ ns}$

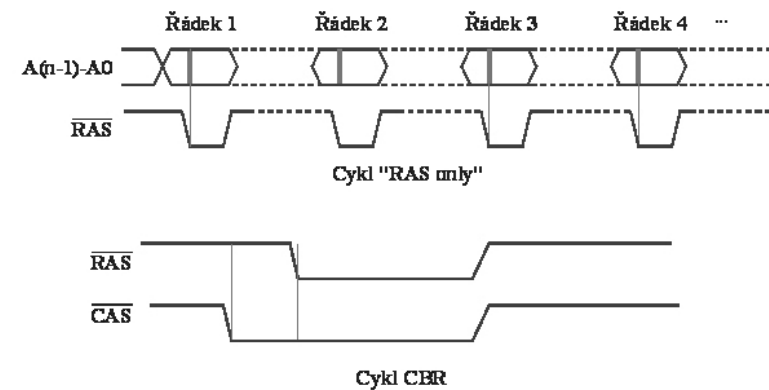


Zotavování DRAM

Každá paměťová buňka se musí zotavovat podle typu po cca 10 – 60 ms. Při čtení nebo zápisu se automaticky zotaví celá řádka.

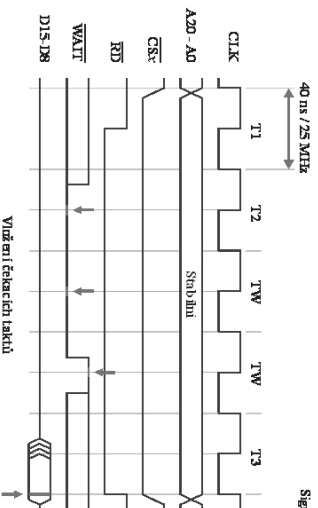
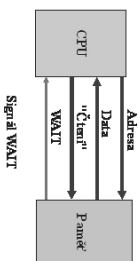
Zotavovací cykly:

1. RAS only – používá vnější čítač adres pro zotavení.
2. CAS Before RAS (CBR) – používá vnitřní čítač adres pro zotavení.

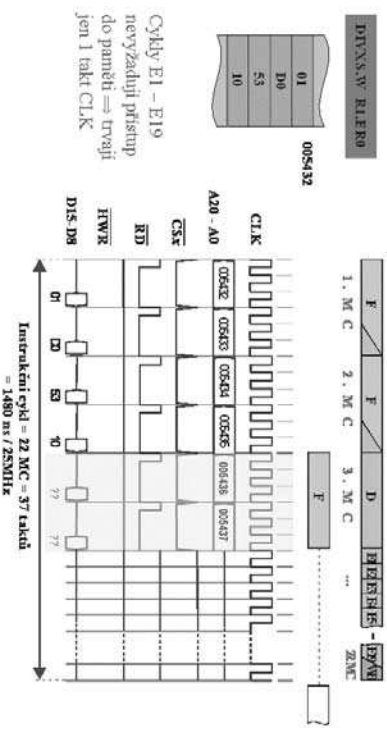


Vložení čekacích taktů

Čekacích taktů lze vložit libovolný počet.
Může to mít další důsledky.



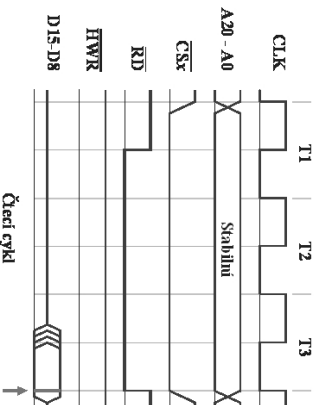
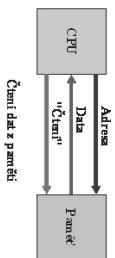
Instrukce DIVXS R1, ER0



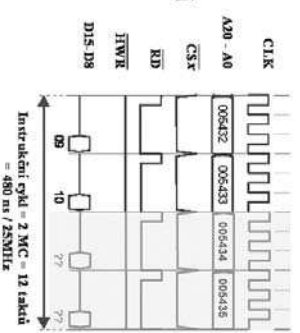
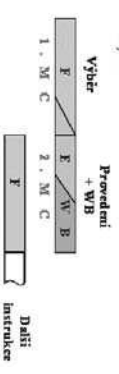
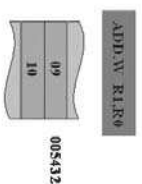
Cykly E1 - E19 nevyžadují přístup do paměti ⇒ trvají jen 1 takt CLK

Čtecí cykl H8S

- 2 nebo 3 taktů CLK,
- 8 nebo 16 bitů,
- aktivní jeden z /CS0 - /CS7.



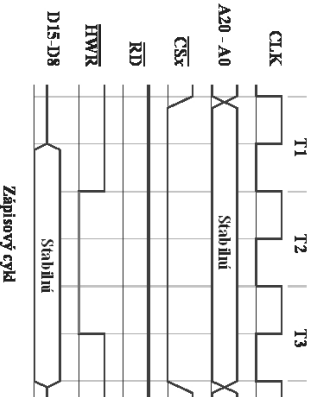
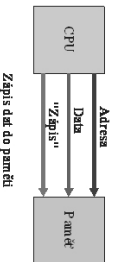
Instrukce add w R1,R0



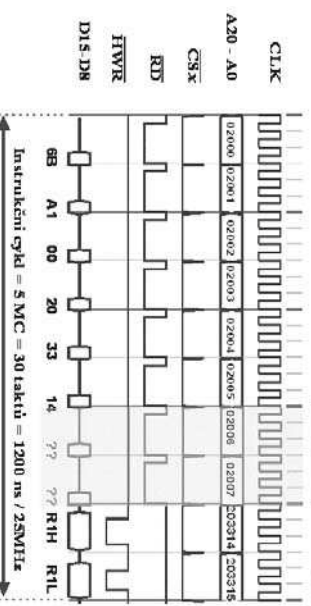
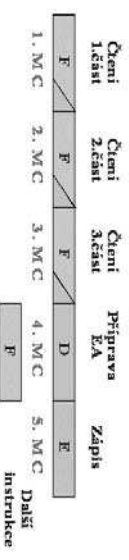
Při 8bitové datové sběrnici vyžaduje každý MC dva přístupy do paměti ⇒ 6 taktů CLK

Zápisový cykl sběrnice H8S

- 2 nebo 3 taktů CLK,
- 8 nebo 16 bitů,
- aktivní jeden z /CS0 - /CS7.

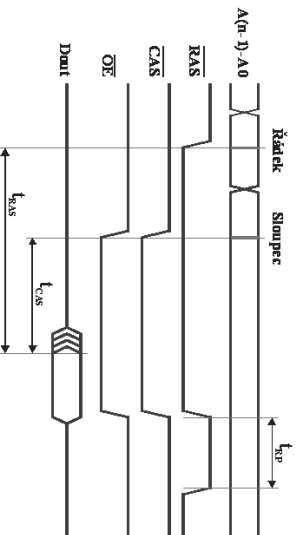


Instrukce MOV.W R1,@adresa



Typické hodnoty

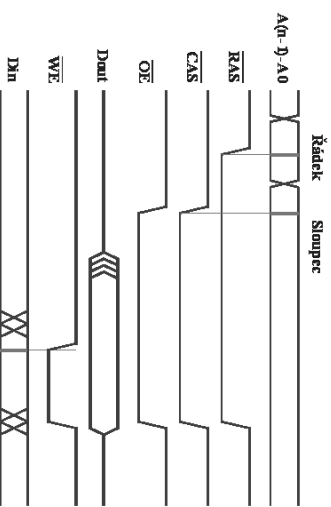
- $t_{RAS} = 60 \text{ ns}$
- $t_{CAS} = 15 \text{ ns}$
- $t_{RP} = 40 \text{ ns}$



Čtecí cykl DRAM

Cykl Read - Modify - Write DRAM

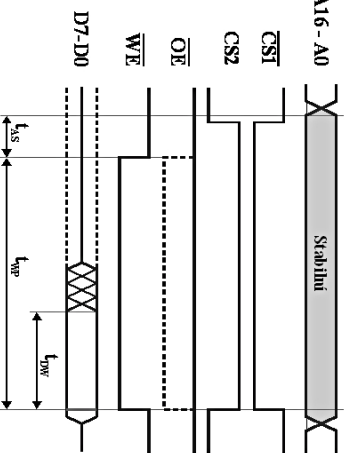
V jednom cyklu lze přečíst i zapsat data na stejnou adresu.



Typické hodnoty

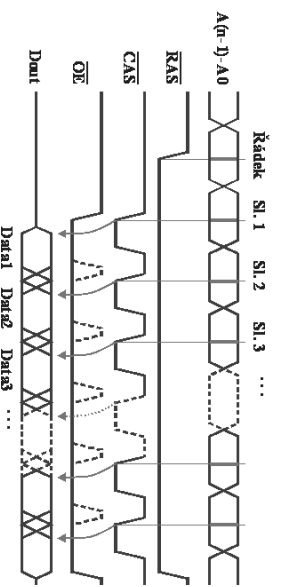
- $t_{AS} = 0 \text{ ns}$
- $t_{WP} = 40 \text{ ns}$
- $t_{DW} = 25 \text{ ns}$

Zápisový cykl SRAM



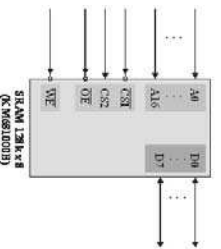
Stránkové režimy DRAM

Umožňuje přečíst data z celé řádky při jediné aktivaci /RAS. Podobně též stránkový zápis.

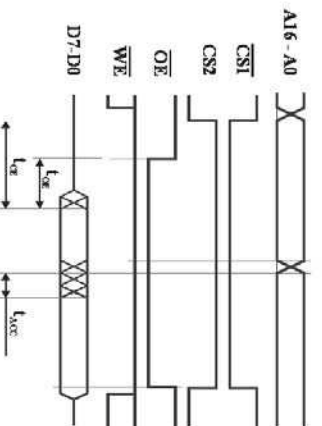


Typické hodnoty

- $t_{OE} = 25 \text{ ns}$
- $t_{CE} = 55 \text{ ns}$
- $t_{ACC} = 55 \text{ ns}$



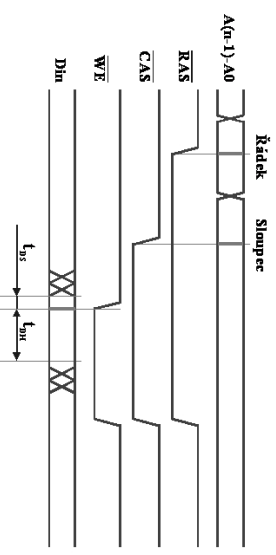
Čtecí cykl SRAM



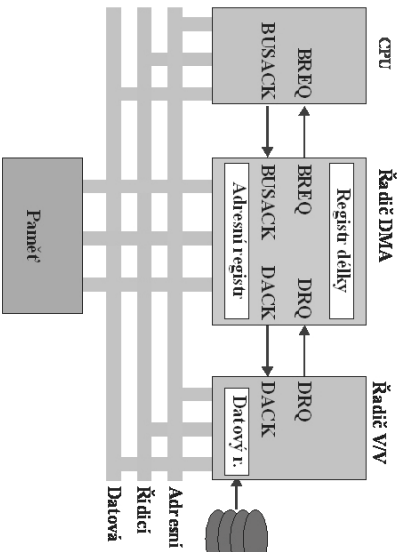
Zápisový cykl DRAM

Typické hodnoty

- $t_{DS} = 0 \text{ ns}$
- $t_{DH} = 15 \text{ ns}$

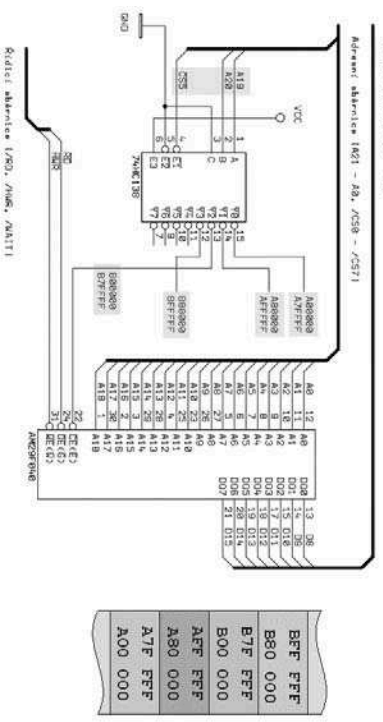


Blokové schéma V/V systému s DMA



Připojení Flash 512k x 8k k H8S

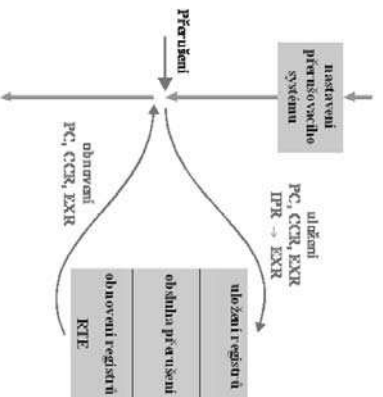
Výstupy /CS0, /CS1, /CS2 a /CS3 z dekódovan adres lze použít pro připojení 4 ks Flash 512 kB ⇒ celkem 2 MB Flash.



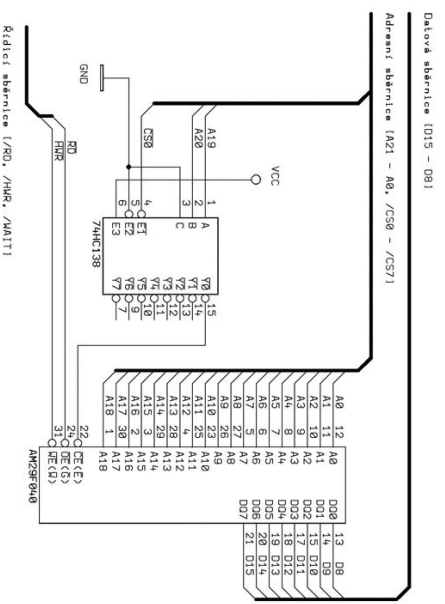
Obsluha přerušeni

Provedení instrukce RTE na konci obslužného programu:

- ze zásobníku se postupně vybere a obnoví prvotní stav EXR, CCR, PC (provede se hardwareově).



Připojení Flash 512 k x 8 k H8S

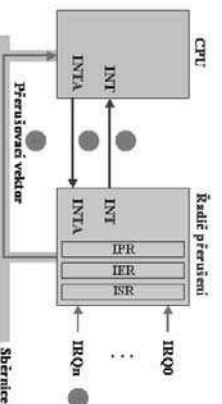


Vnější řadič přerušeni

- obsahuje masky pro jednotlivá vnější přerušeni.
- řadí vnější přerušeni podle priorit.

Při aktivaci některého IRQ:

1. Je aktivní IRQ?
2. Je-li IRQn v řadiči povoleno, generuje řadič signál INT do processoru.
3. Jsou-li v processoru povolena přerušeni, vyšle procesor signál INTA (Interrupt Acknowledge).
4. Řadič vyšle na sběrnici vektor s identifikací akcepovolaného IRQ.



Návrh Paměť SRAM 256kB - 2x 128x8

