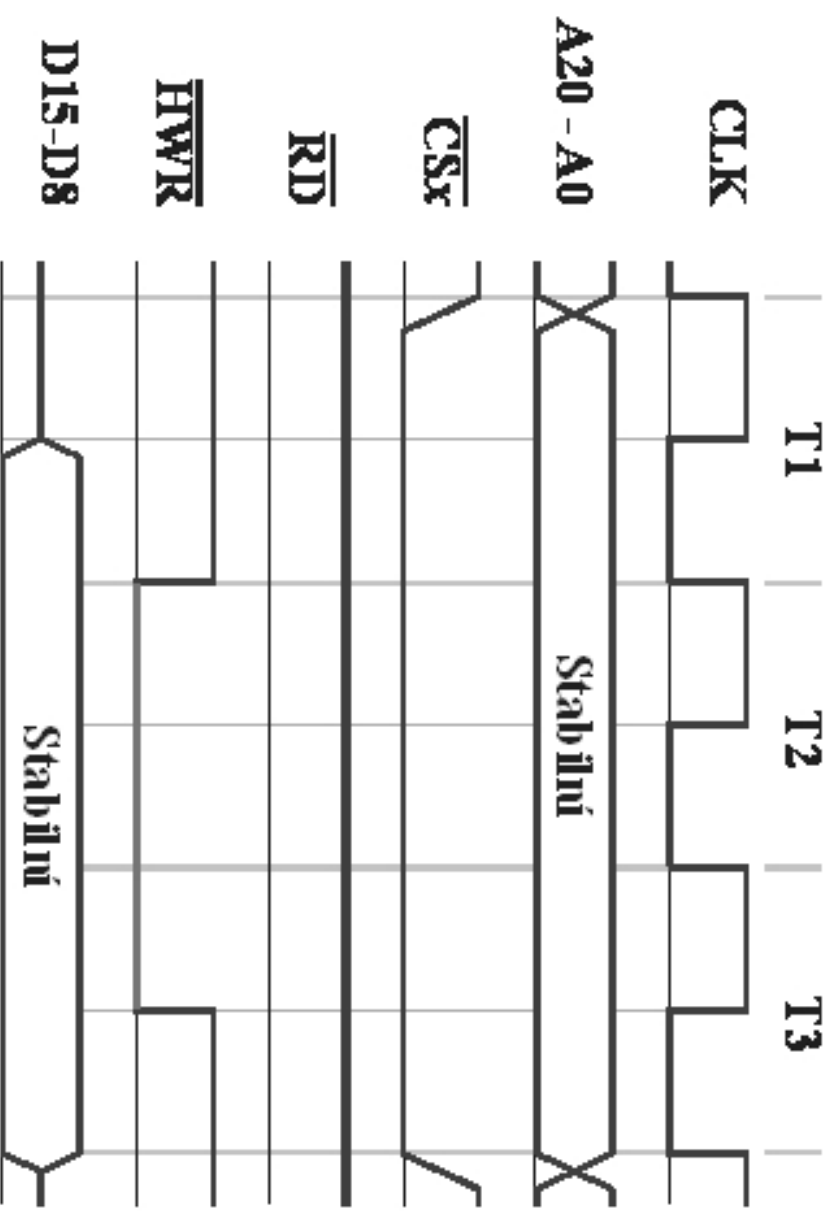
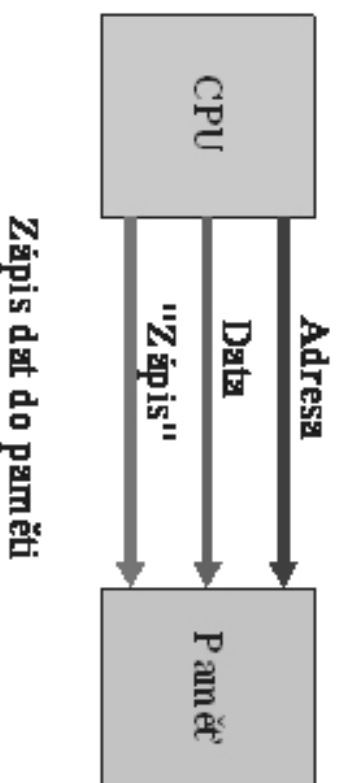


Zápisový cykl sběrnice H8S

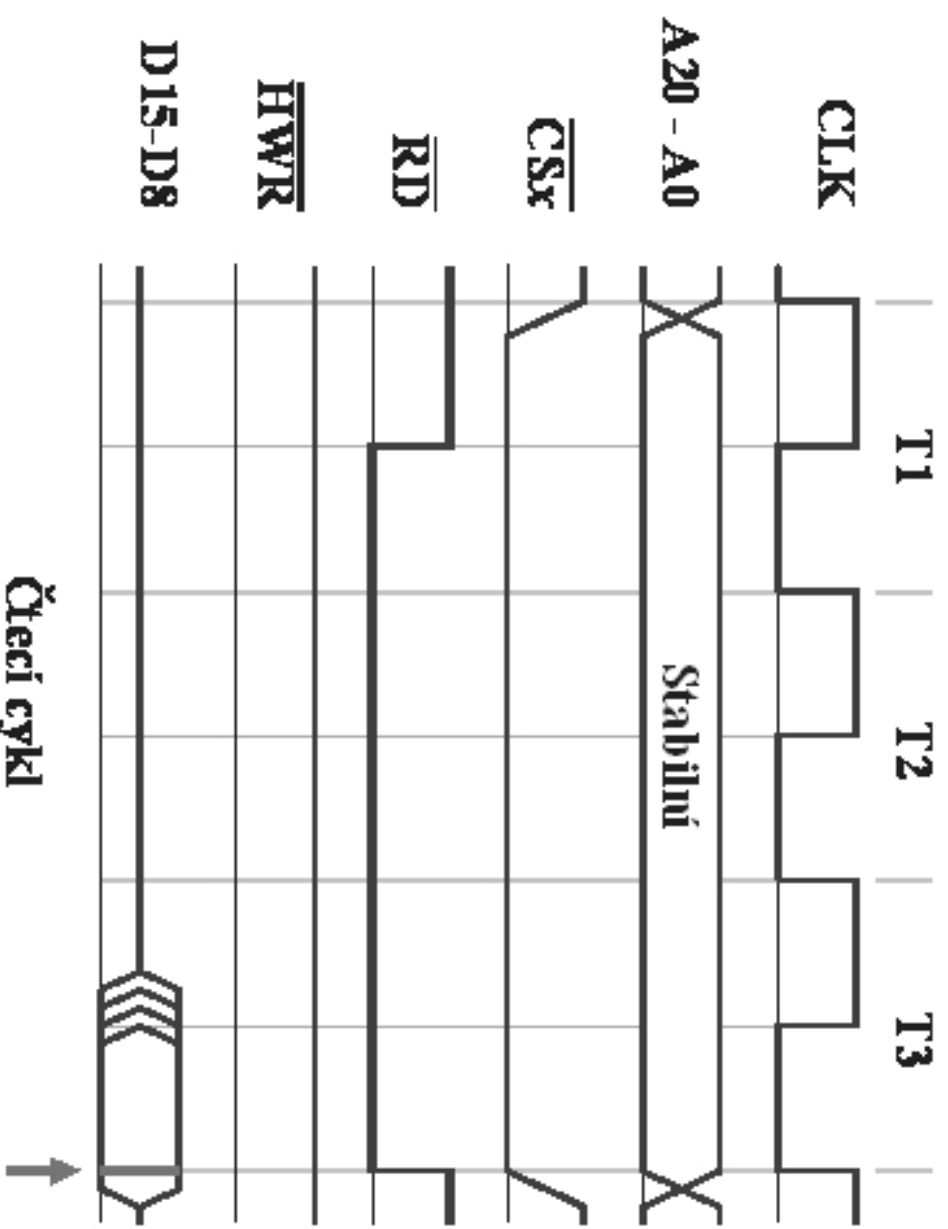
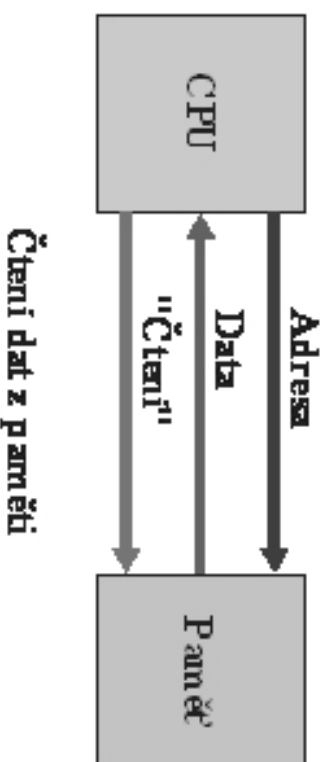
- 2 nebo 3 takty CLK,
- 8 nebo 16 bitů,
- aktivní jeden z /CS0 - /CS7.



Zápisový cykl

čtecí cykl H8S

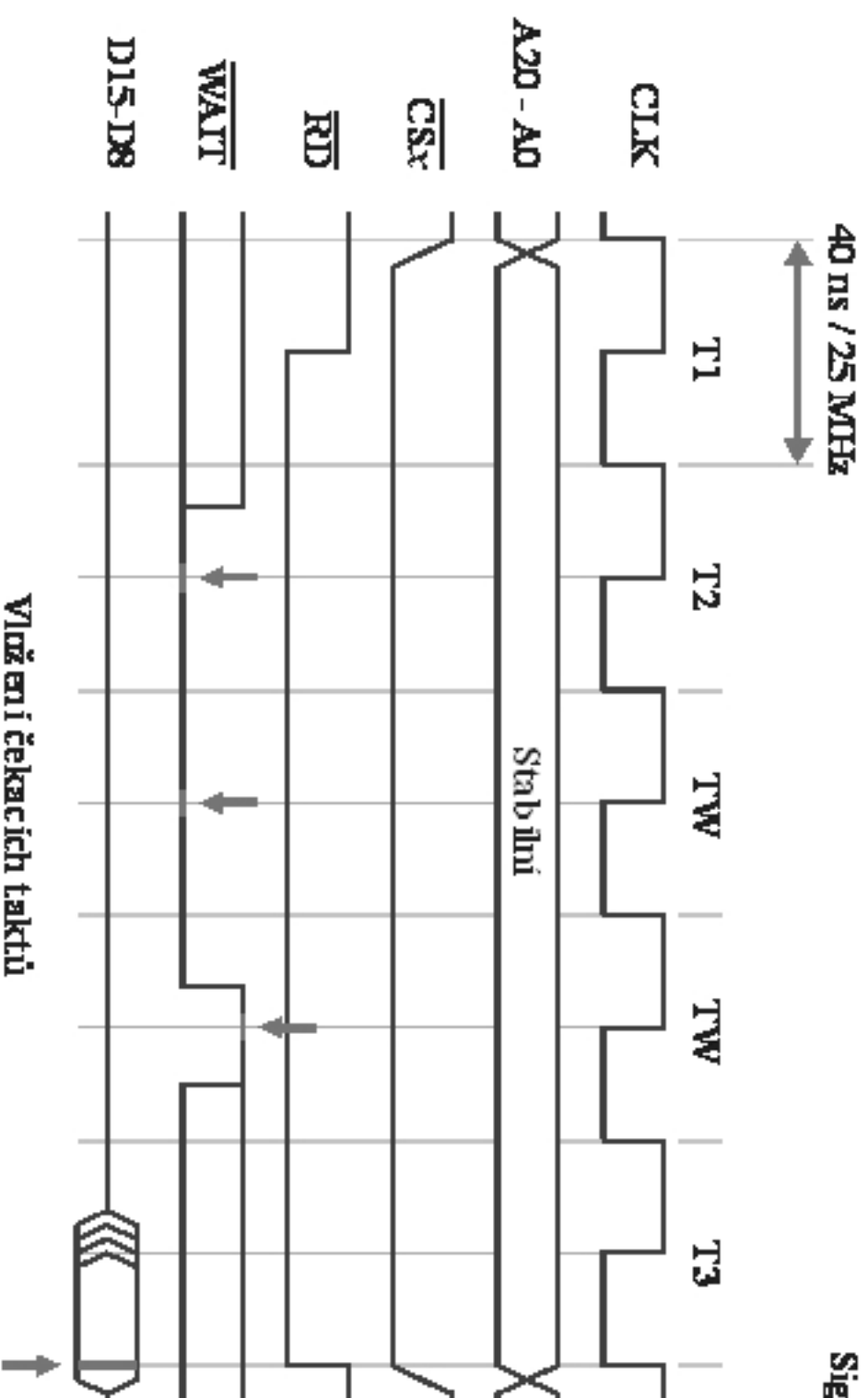
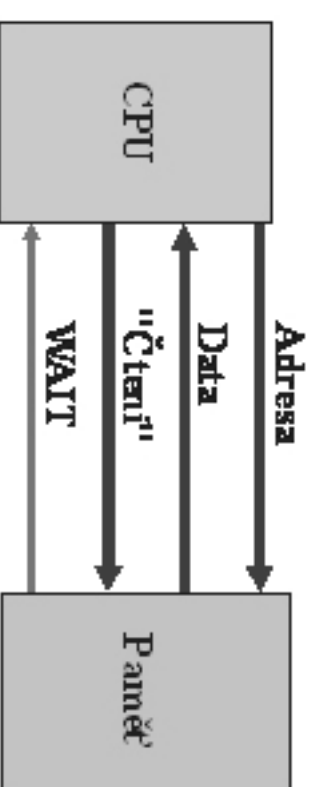
2 nebo 3 takty CLK,
8 nebo 16 bitů,
aktivní jeden z /CS0 - /CS7.



Vložení čekacích taktů

Čekacích taktů lze vložit libovolný počet.

Může to mít další důsledky.



Vložení čekacích taktů

Instrukce MOV.W R1, @adresa

Čtení 1.část Čtení 2.část Čtení 3.část Příprava EA Zápis

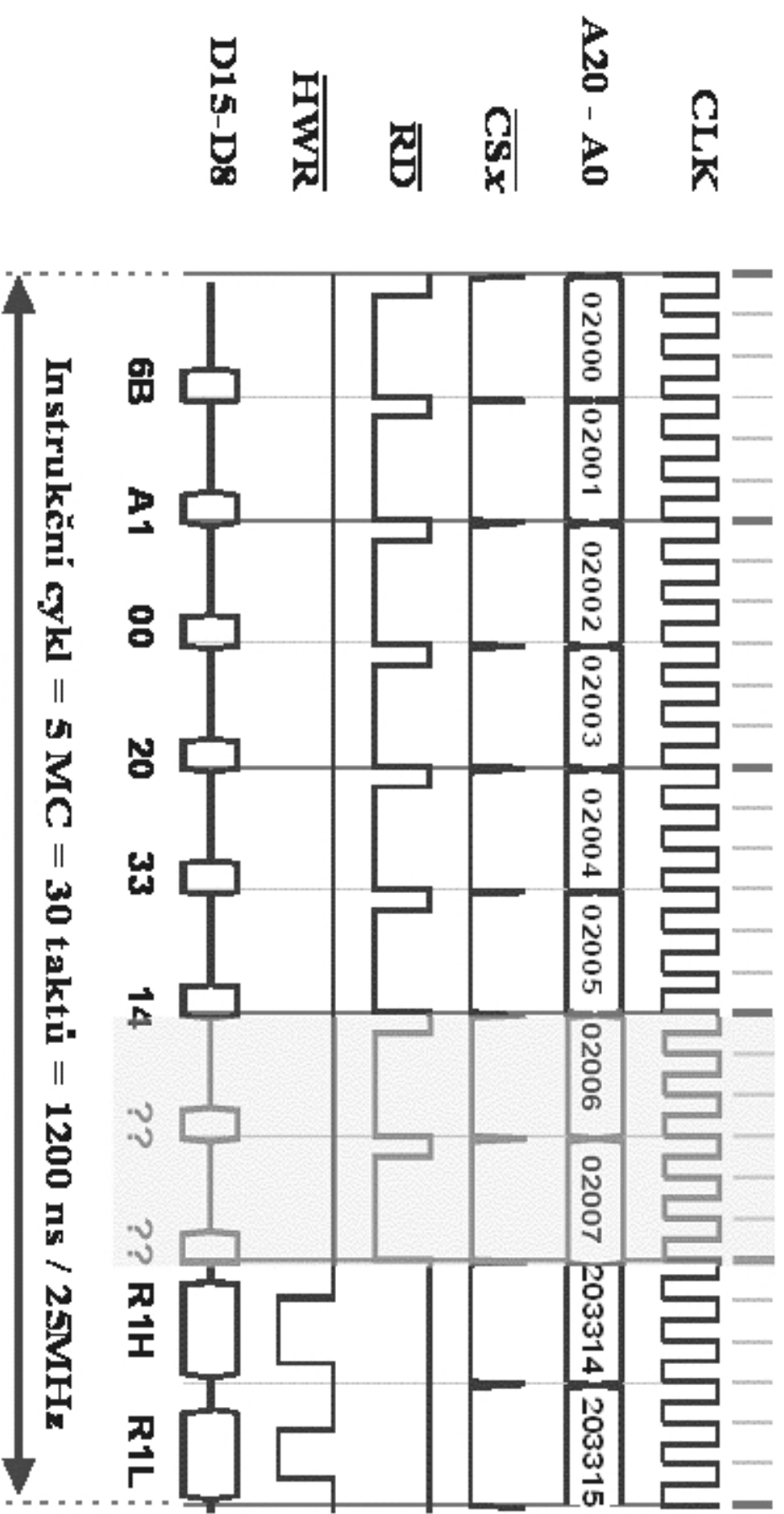


1. MC 2. MC 3. MC 4. MC 5. MC

F

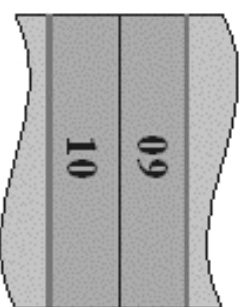
instrukce

Další instrukce



Instrukce add.w R1,R0

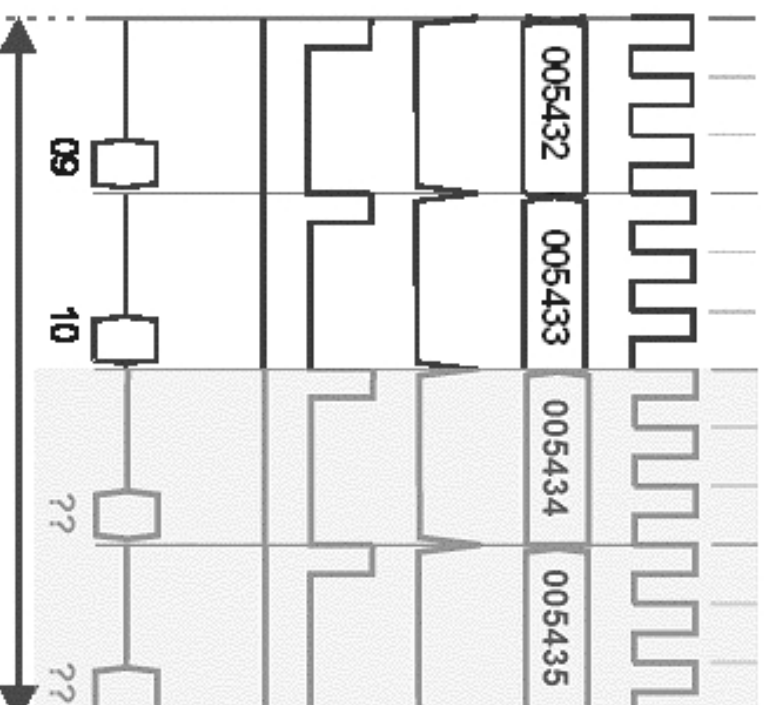
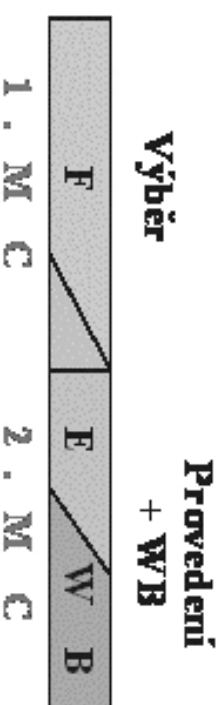
ADD.W R1,R0



005432

Při 8bitové datové sběrnici
vyžaduje každý MC dva
přístupy do paměti \Rightarrow 6
taktů CLK

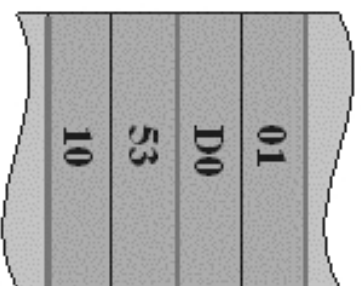
A20 - A0
CLK
 \overline{CSx}
 \overline{RD}
 \overline{HWR}
D15-D8



Instrukční cykl = 2 MC = 12 taktů
= 480 ns / 25MHz

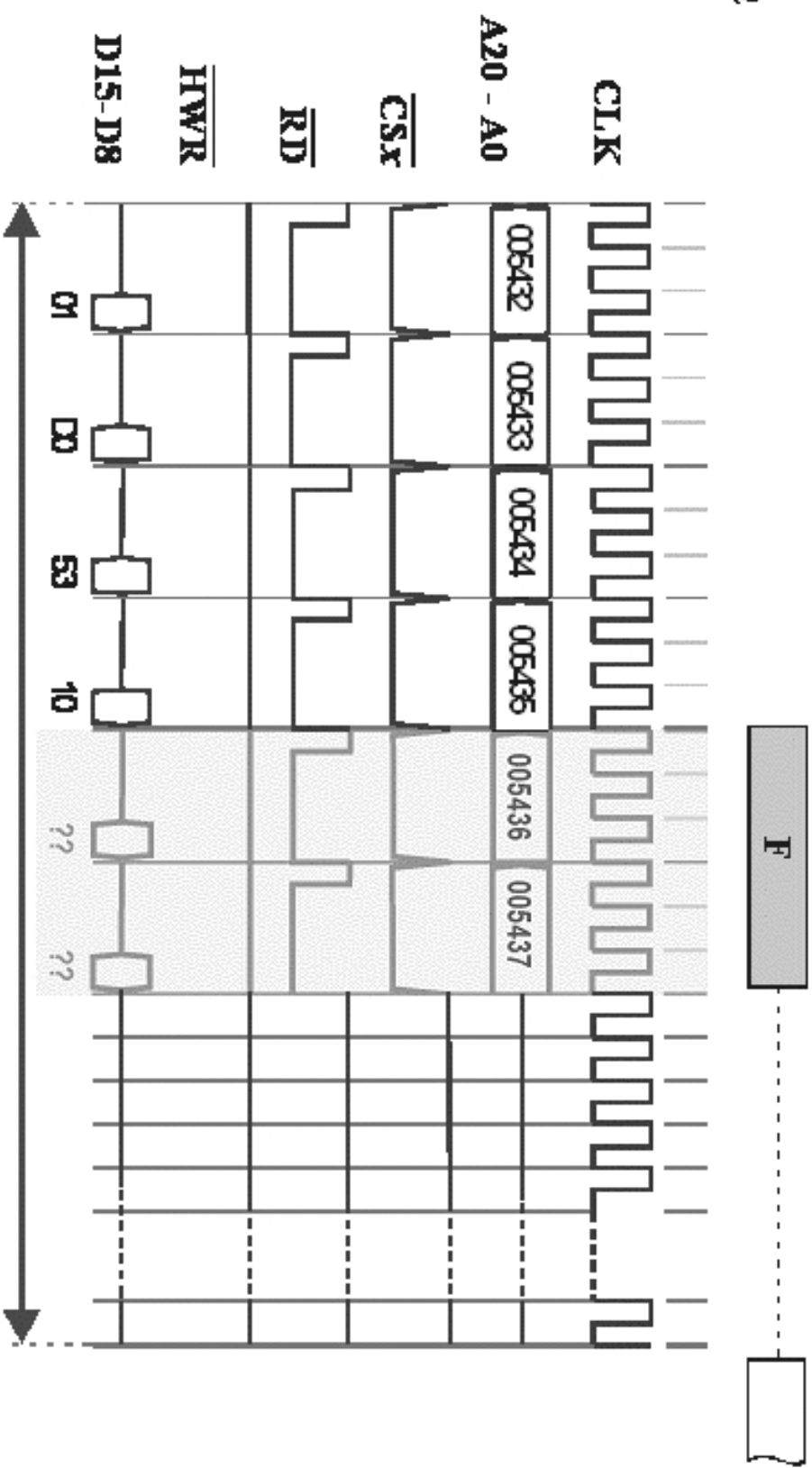
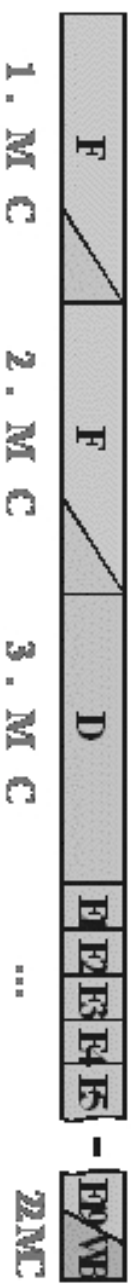
Instrukce DIVXS R1, ER0

DIVXS.W R1,ER0



005432

Cykly E1 – E19
 nevyžadují přístup
 do paměti ⇒ trvají
 jen 1 takt CLK



Instrukční cykl = 22 MC = 37 taktů
 = 1480 ns / 25MHz