

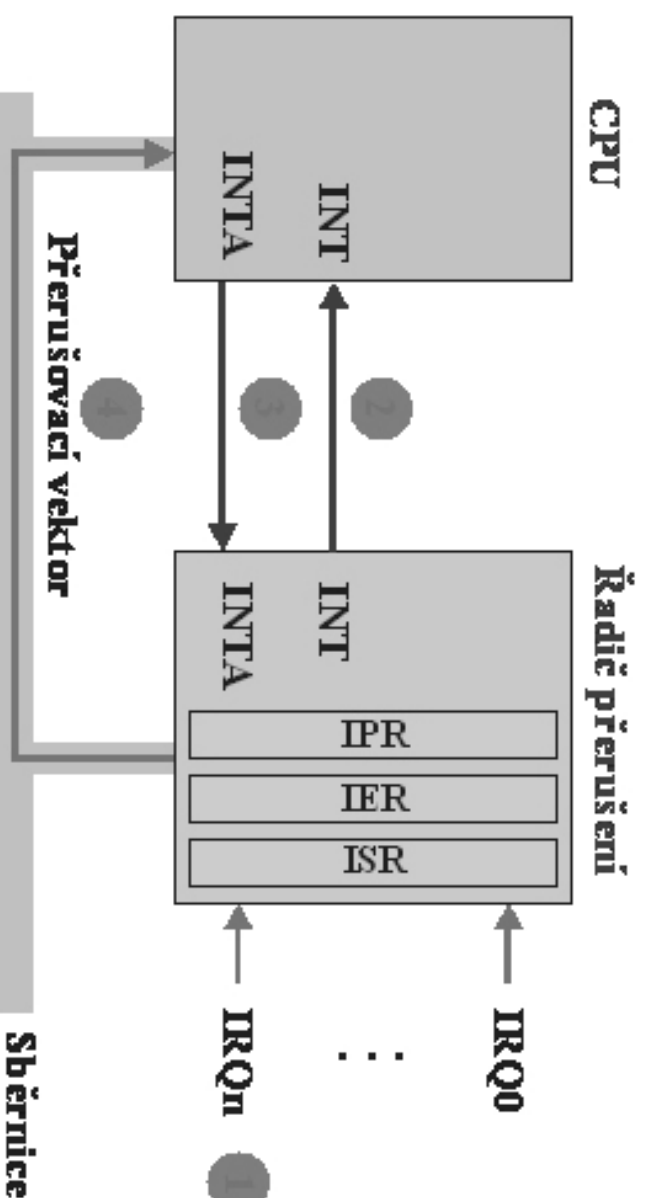
Vnější řadič přerušení

Vnější řadič přerušení

- obsahuje masky pro jednotlivá vnější přerušení,
- řadí vnější přerušení podle priorit.

Při aktivitě některého IRQ:

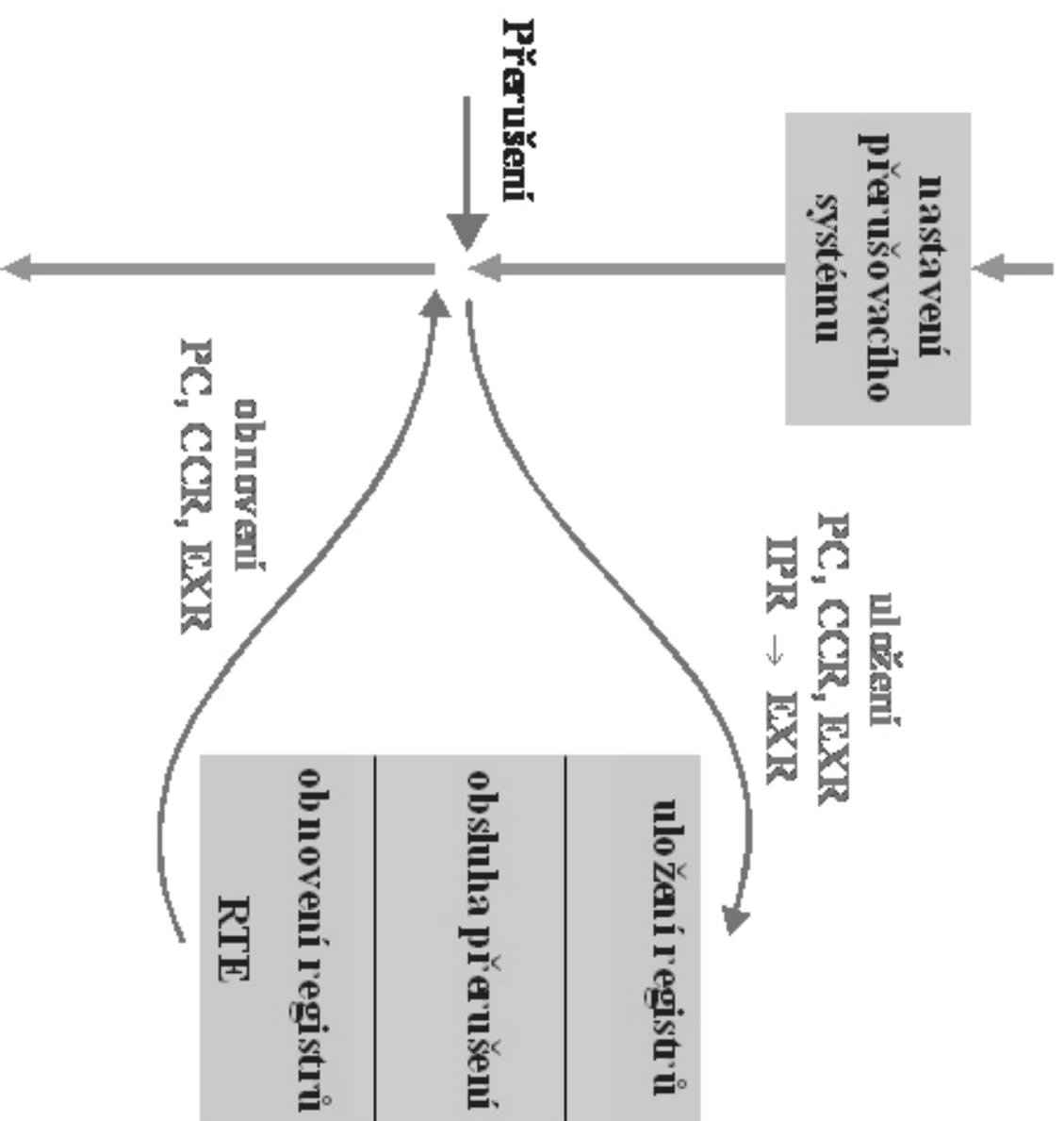
1. Je aktivní IRQ_n .
2. Je-li IRQ_n v řadiči povoleno, generuje řadič signál INT do procesoru.
3. Jsou-li v procesoru povolena přerušení, vyšle procesor signál INTA (Interrupt Acknowledge).
4. Řadič vyšle na sběrnici identifikací akceptovaného IRQ.



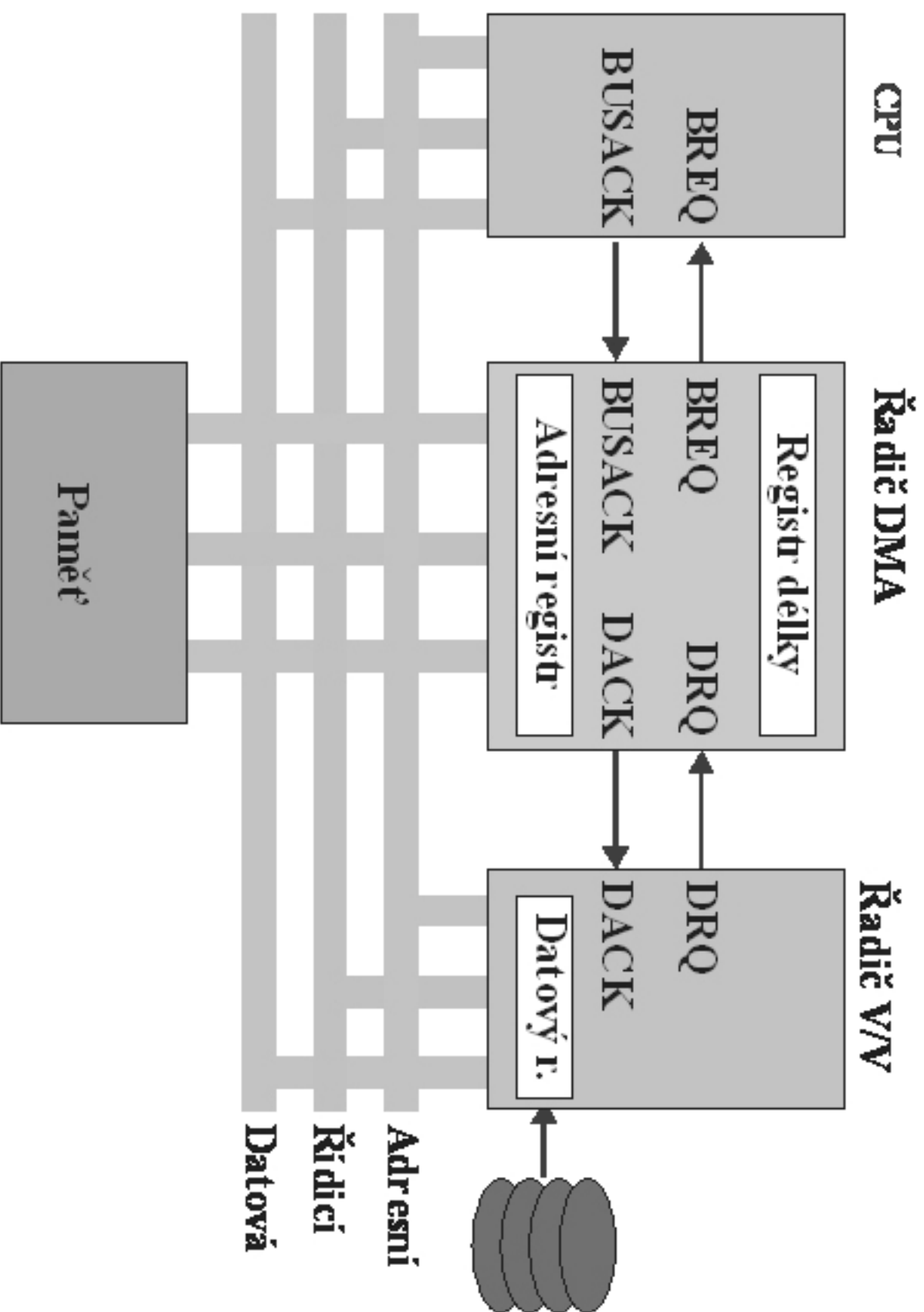
Obsluha přerušení

Provedení instrukce RTE na konci obslužného programu:

- ze zásobníku se postupně vybere a obnoví původní stav EXR, CCR, PC (provede se hardwarevě).



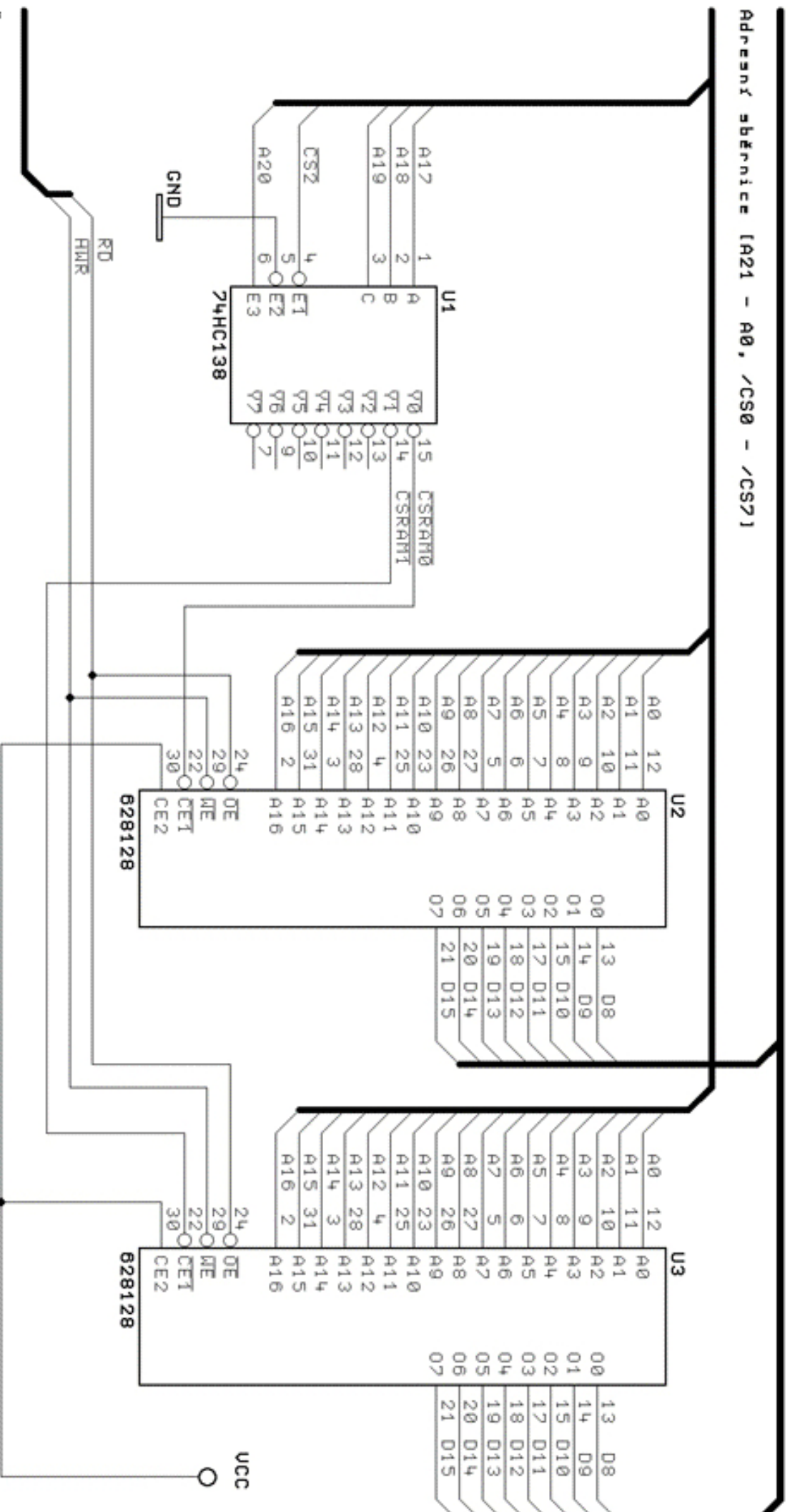
Blokové schéma V/V systému s DMA



Návrh Paměť SRAM 256kB - 2x 128x8

Datová sběrnice (D15 - D8)

Adresní sběrnice (A21 - A0, /CS0 - /CS7)

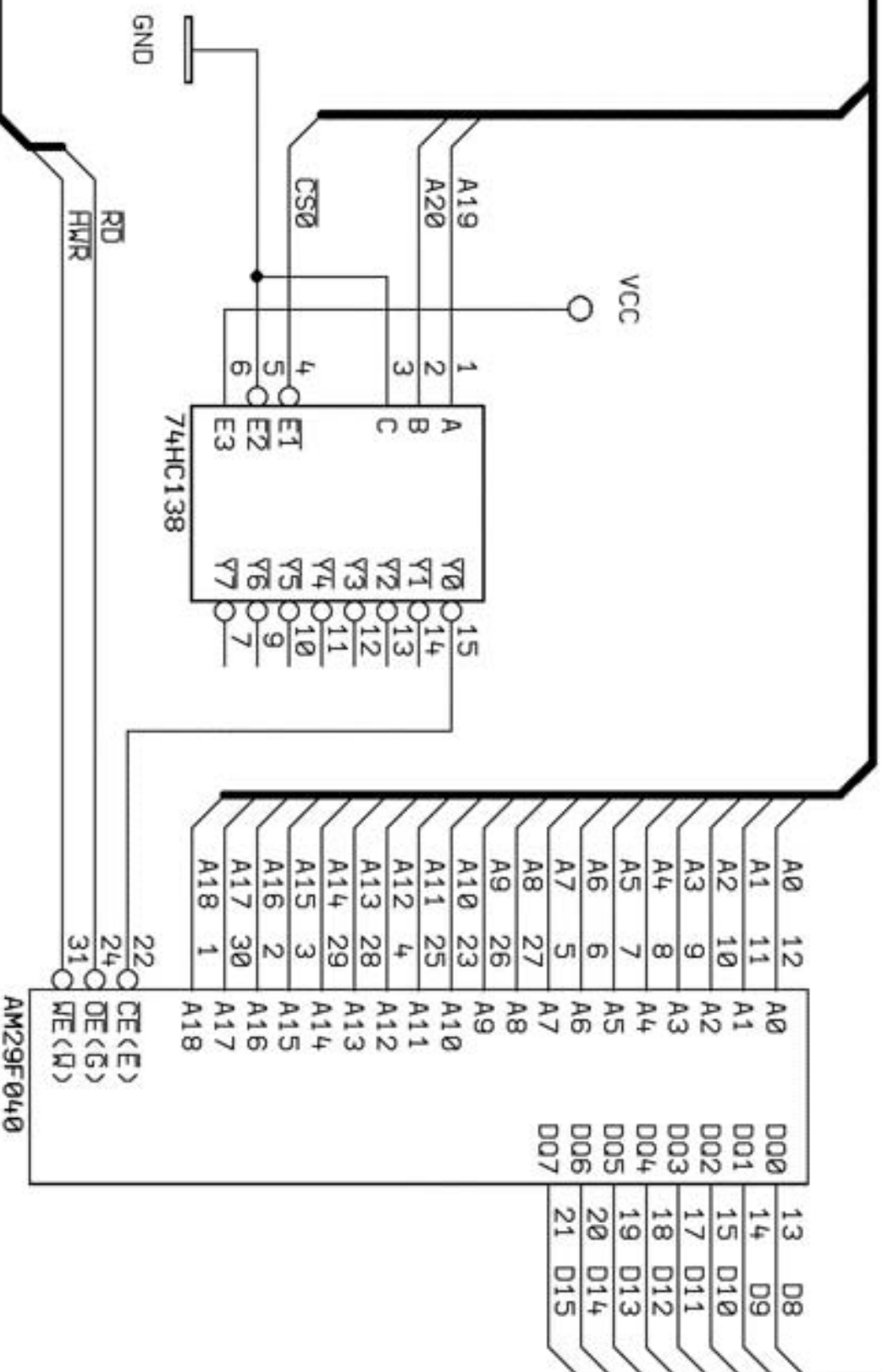


Rádiová sběrnice (/RD, /HMR, /WAIT)

Připojení Falsh 512 k x 8 k H8S

Datová sběrnice [D15 - D8]

Adresní sběrnice [A21 - A0, /CS0 - /CS7]



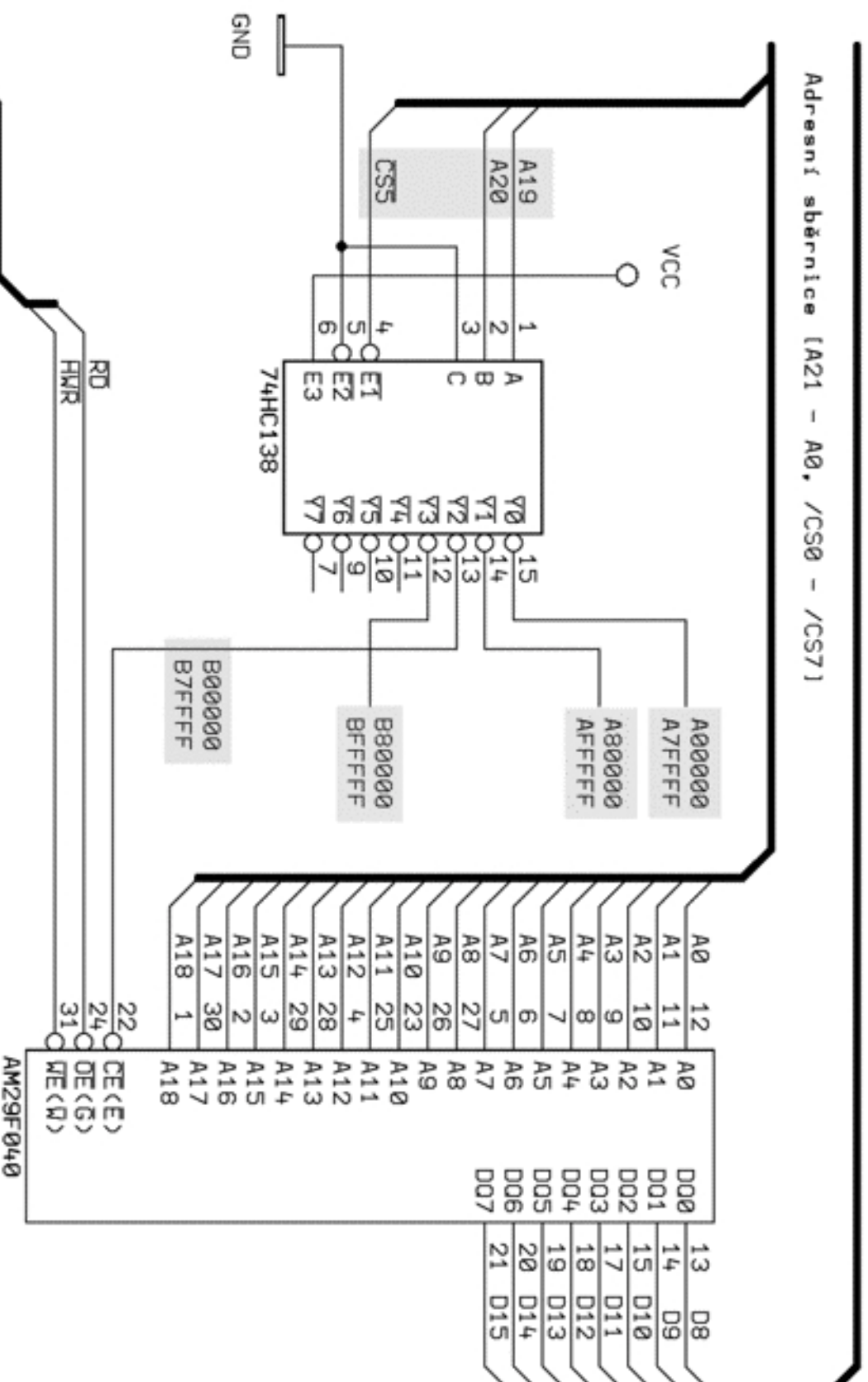
Řídicí sběrnice [/RD, /HWR, /WAIT]

Připojení Flash 512k x 8k k H8S

Výstupy /CS0, /CS1, /CS2 a /CS3 z dekodéru adres lze použít pro připojení 4 ks Flash 512 kB ⇒ celkem 2 MB Flash.

Datová sběrnice (D15 - D8)

Adresní sběrnice (A21 - A0, /CS0 - /CS7)



Řídicí sběrnice (/RD, /HWR, /WAIT)

BFF FFF
B80 000
B7F FFF
B00 000
FFF FFF
A80 000
A7F FFF
A00 000