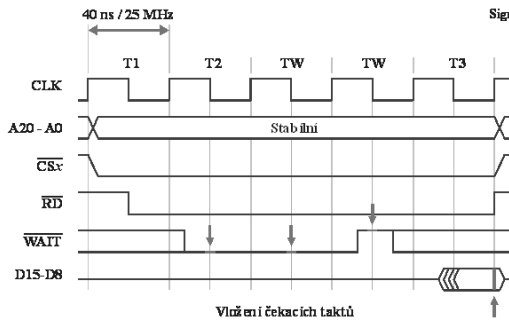
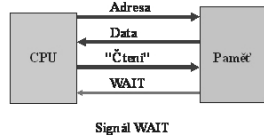


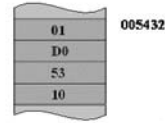
Vložení čekacích taktů

Čekacích taktů lze vložit libovolný počet.
Může to mít další důsledky.

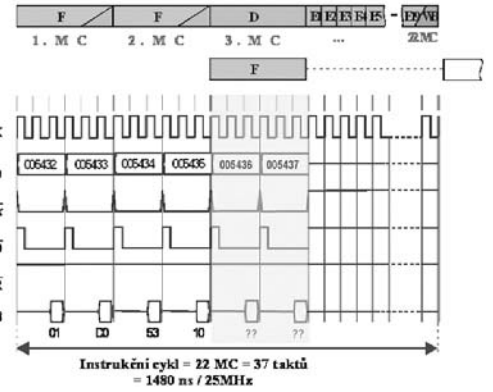


Instrukce DIVXS R1, ER0

DIVXS.W R1,ER0

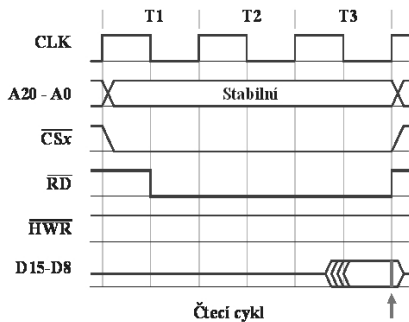


Cykly E1 - E19 nevyžadují přístup do paměti => trvají jen 1 takt CLK



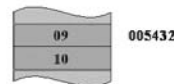
čtecí cykl H8S

2 nebo 3 takty CLK,
8 nebo 16 bitů,
aktivní jeden z /CS0 - /CS7.

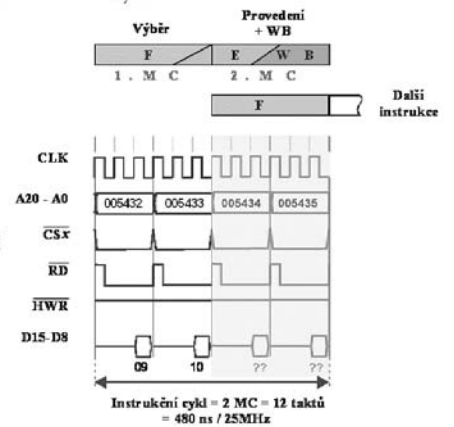


Instrukce add.w R1,R0

ADD.W R1,R0

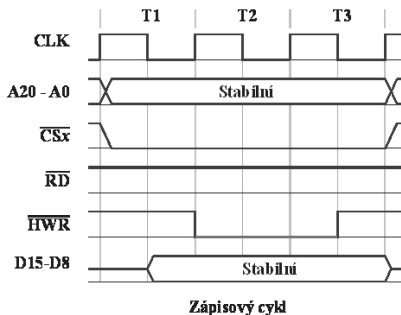


Při 8bitové datové sběrnici vyžaduje každý MC dva přístupy do paměti => 6 taktů CLK



Zápisový cykl sběrnice H8S

- 2 nebo 3 takty CLK,
- 8 nebo 16 bitů,
- aktivní jeden z /CS0 - /CS7.



Instrukce MOV.W R1,@adresa

