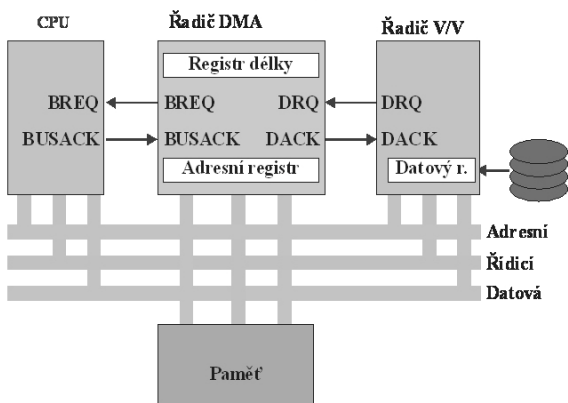
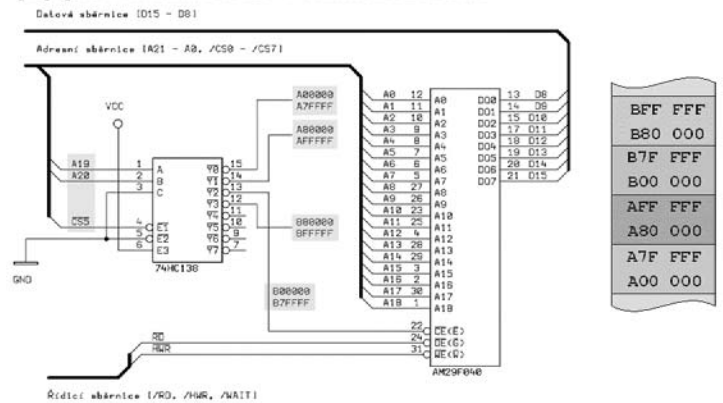


### Blokové schéma V/V systému s DMA



### Připojení Flash 512k x 8k k H8S

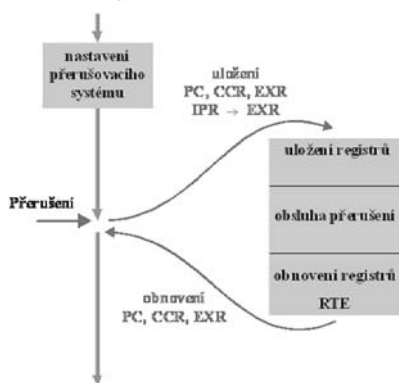
Výstupy /CS0, /CS1, /CS2 a /CS3 z dekodéru adres lze použít pro připojení 4 ks Flash 512 kB ⇒ celkem 2 MB Flash.



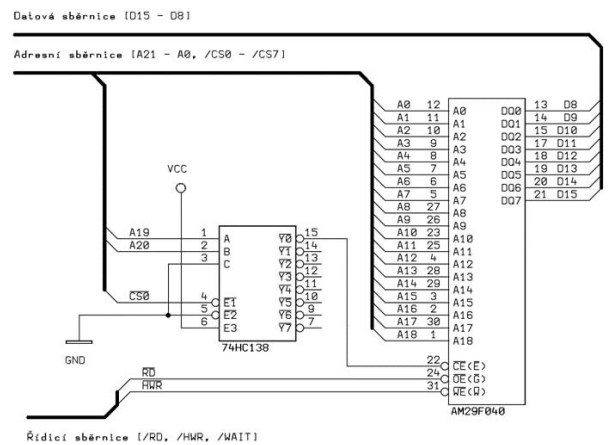
### Obsluha přerušeni

Provedení instrukce RTE na konci obslužného programu:

- ze zásobníku se postupně vybere a obnoví původní stav EXR, CCR, PC (provede se hardwarově).



### Připojení Falsh 512 k x 8 k H8S



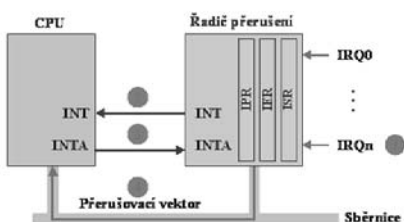
### Vnější řadič přerušeni

Vnější řadič přerušeni

- obsahuje masky pro jednotlivá vnější přerušeni,
- řadí vnější přerušeni podle priorit.

Při aktivitě některého IRQ:

- Je aktivní IRQ<sub>n</sub>.
- Je-li IRQ<sub>n</sub> v řadiči povoleno, generuje řadič signál INT do procesoru.
- Jsou-li v procesoru povolena přerušeni, vyšle procesor signál INTA (Interrupt Acknowledge).
- Řadič vyšle na sběrnici vektor s identifikací akceptovaného IRQ.



### Návrh Paměť SRAM 256kB - 2x 128x8

