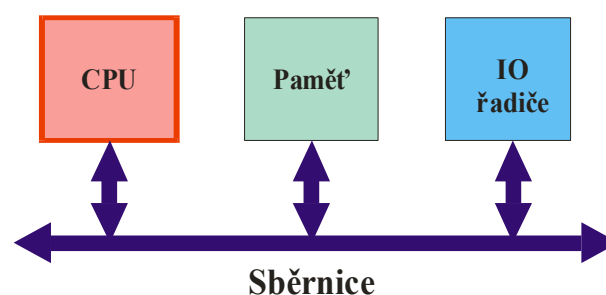


Systemová sběrnice

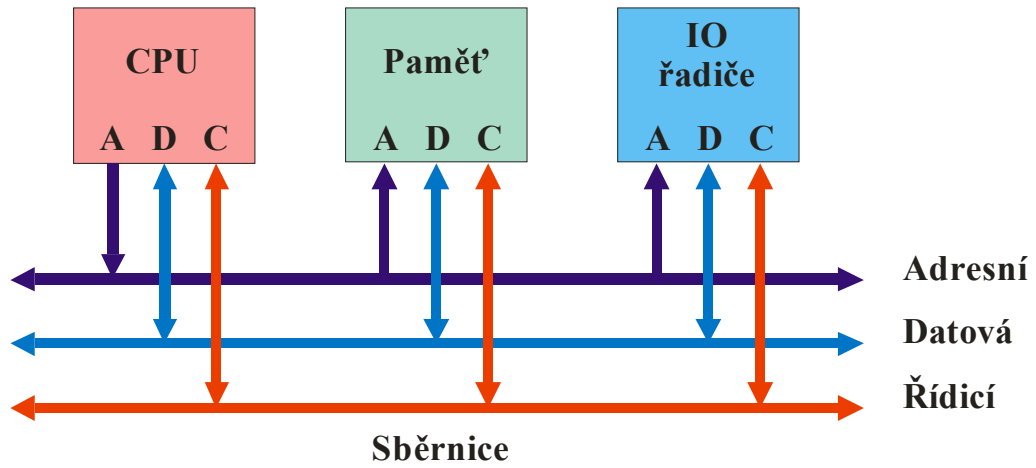
Sběrnicová architektura

Jednotlivé subsystémy počítače jsou propojeny sběrnicí, po které se přenáší data oběma směry.

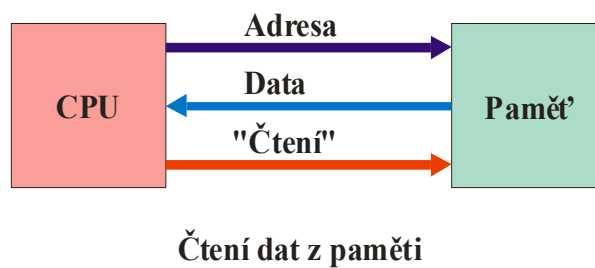
- Single master – jeden procesor na sběrnici,
- Multi master – více procesorů (nebo DMA řadičů) na sběrnici.



Adresní, datová a řídicí sběrnice



Operace čtení

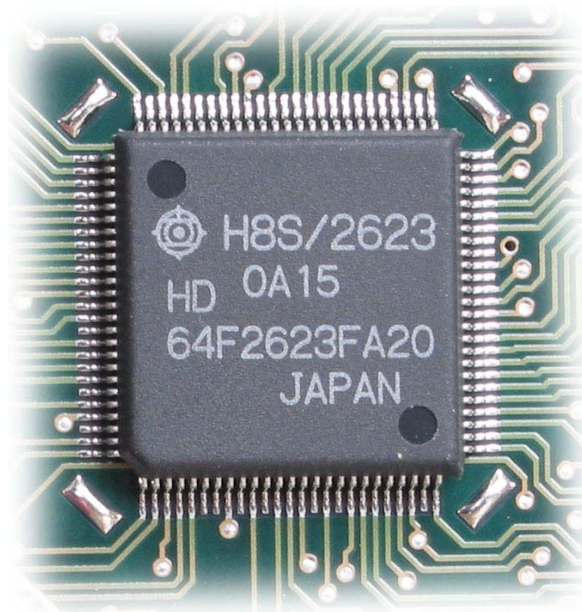


Operace zápisu



Zápis dat do paměti

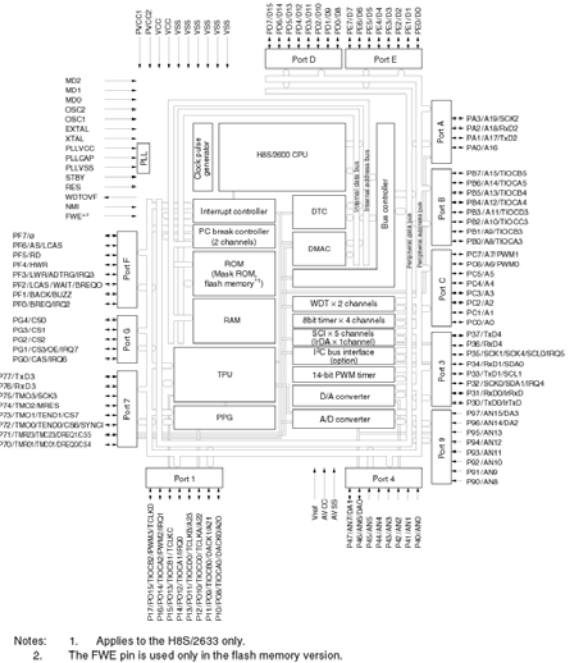
Procesor H8S



Procesor H8S

Základní charakteristiky procesoru H8S

- CLK max. 25 MHz,
- řada specializovaných periférií,
- 21bitová adresní sběrnice (A20 – A0),
- 8/16bitová datová sběrnice (D15 – D0),
- A23 – A20 dekódovány na /CS0 – /CS7,
- další signály: /HWR, /LWR, /RD, /WAIT.

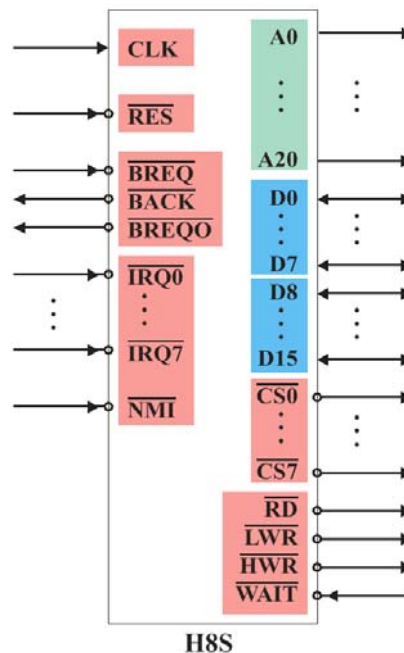


Notes: 1. Applies to the H8S/2633 only.
2. The FWE pin is used only in the flash memory version.

Procesor H8S

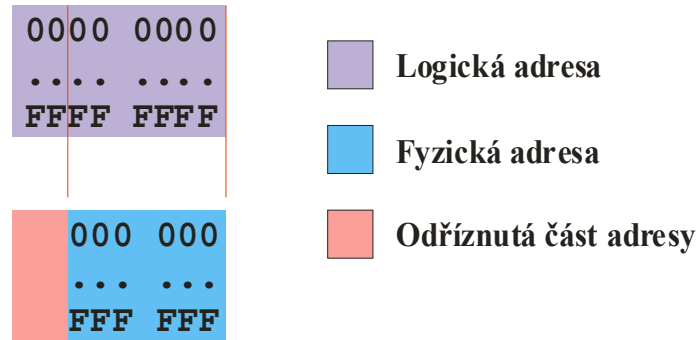
Některé důležité signály

- CLK hodinový signál,
- A20 – A0 adresní sběrnice,
- D15 – D0 datová sběrnice
- /HWR, /LWR, zápisové signály,
- /RD, čtecí signál,
- /WAIT prodloužení MC
- /IRQn, /NMI přerušovací signály
- /BREQ, /BACK, /BREQ0 uvolnění sběrnice
- /RES reset procesoru.



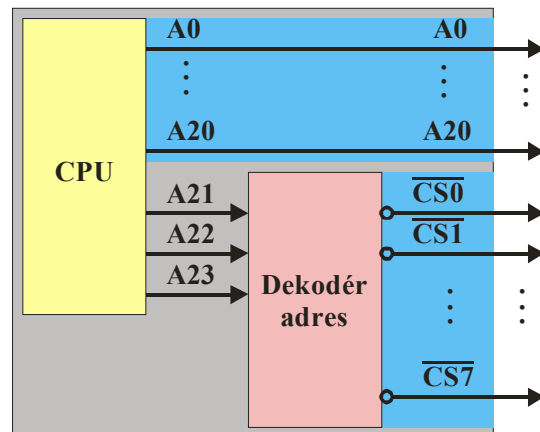
Fyzická adresa procesoru H8S

- Logická adresa je 32bitová (data) nebo 24bitová (instrukce).
- Fyzická adresa je 24bitová.
- 8 nejvyšších bitů adresy dat se ignoruje.



Signály /CS0 - /CS7

- Procesor interně dekóduje adresní vodiče A21, A22, A23.
- Dekodér generuje signály /CS0 – /CS7.
- Adresní prostor 16 MB je rozdělen na 8 bloků po 2 MB – každému bloku přísluší jeden /CSx.



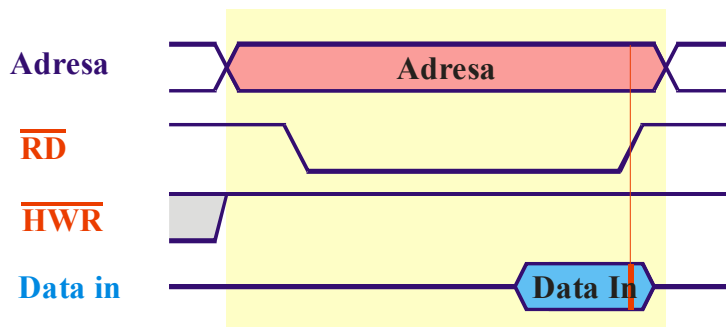
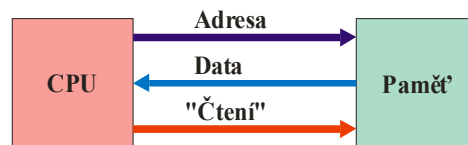
Signály /CS0 - /CS7

- Procesor interně dekóduje adresní vodiče A21, A22, A23.
- Dekodér generuje signály /CS0 – /CS7.
- Adresní prostor 16 MB je rozdělen na 8 bloků po 2 MB – každému bloku přísluší jeden /CSx.

A23	A22	A21	/CS0	/CS1	/CS2	...	/CS7
0	0	0	L	H	H	...	H
0	0	1	H	L	H	...	H
0	1	0	H	H	L	...	H
...		
1	1	1	H	H	H	...	L

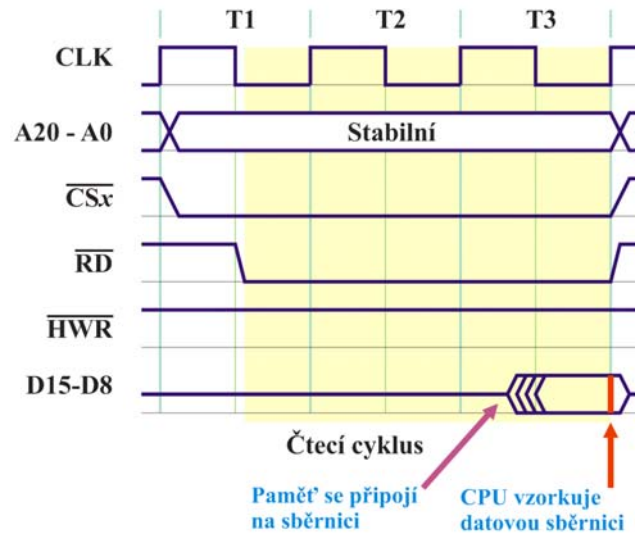
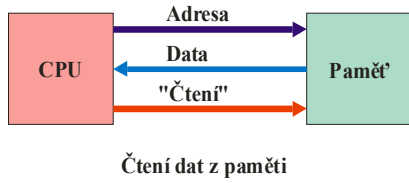
Čtecí cyklus sběrnice H8S

- 2 nebo 3 takty CLK,
- 8 nebo 16 bitů,
- aktivní jeden z /CS0 - /CS7.



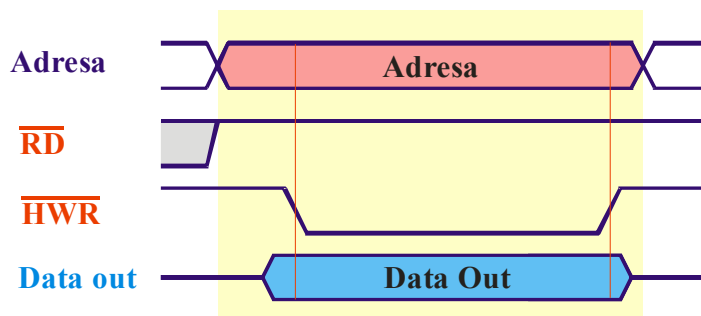
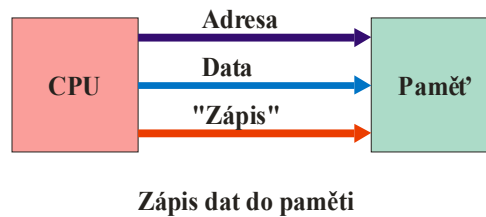
Čtecí cyklus sběrnice H8S detailně

- 2 nebo 3 takty CLK,
- 8 nebo 16 bitů,
- aktivní jeden z /CS0 - /CS7.



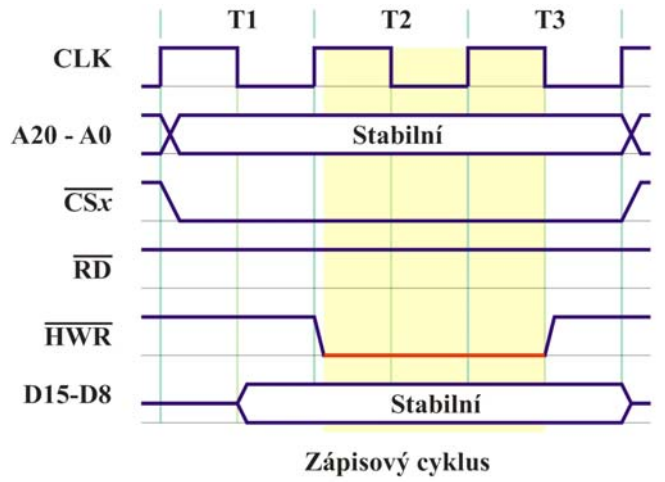
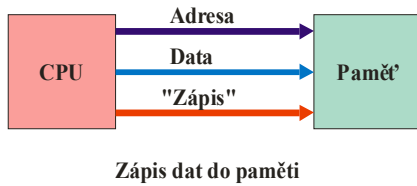
Zápisový cyklus sběrnice H8S

- 2 nebo 3 takty CLK,
- 8 nebo 16 bitů,
- aktivní jeden z /CS0 - /CS7.



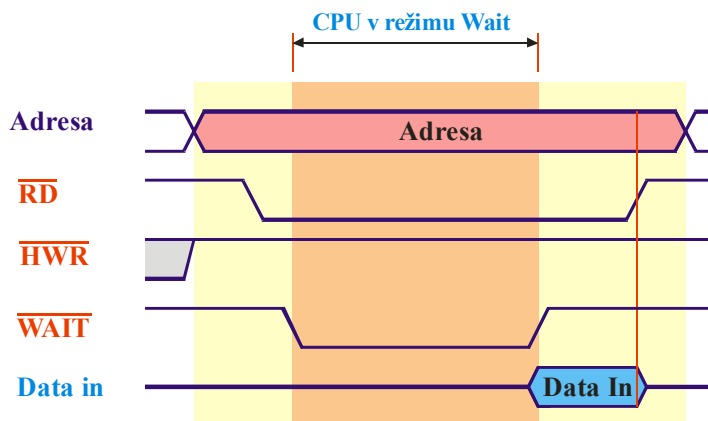
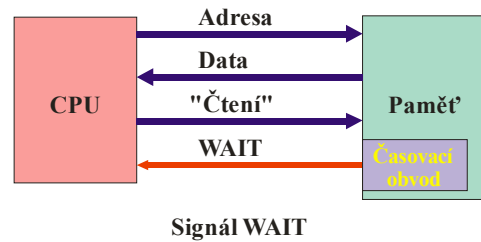
Zápisový cyklus sběrnice H8S detailně

- 2 nebo 3 takty CLK,
- 8 nebo 16 bitů,
- aktivní jeden z /CS0 - /CS7.




Vložení čekacích taktů

- Čekacích taktů lze vložit libovolný počet.
- Může to mít další důsledky.



Katalogové parametry paměti

February 2007  AS6C1008

128K X 8 BIT LOW POWER CMOS SRAM

Notes:
 1. V_{min} = V_{cc} - 3.0V for pulse widths less than 10ns.
 2. V_{l(max)} = V_{cc} - 3.0V for pulse widths less than 10ns.
 3. Overvoltage specifications are characterized, not 100% tested.
 4. Typical values are included for reference only and are not guaranteed or tested.
 Typical values are measured at V_{cc} = V_{opd} (TYP) and T_A = 25°C.

CAPACITANCE (T_A = 25°C, f = 1.0MHz)

PARAMETER	SYMBOL	MIN.	MAX.	UNIT
Input Capacitance	C _{in}	-	9	pF
Input/Output Capacitance	C _{io}	-	8	pF

Note: These parameters are guaranteed by device characterization, but not production tested.

AC TEST CONDITIONS

Input Pulse Levels	0.2V to V _{cc} - 0.2V
Input Rise and Fall Times	3ns
Input and Output Timing Reference Levels	1.5V
Output Load	C _L = 30pF + 1TTL, I _{OL(max)} = -1mA/2mA

AC ELECTRICAL CHARACTERISTICS

(1) READ CYCLE


PARAMETER	SYM.	AS6C1008-55	MIN.	MAX.	UNIT
Rowd Cycle Time	t _{RC}	55	-	-	ns
Address Access Time	t _{AA}	55	-	-	ns
Chip Enable Access Time	t _{CE}	55	-	-	ns
Output Enable Access Time	t _{OE}	30	-	-	ns
Chip Enable to Output in Low-Z	t _{CE#L}	10	-	-	ns
Output Enable to Output in Low-Z	t _{OEL}	5	-	-	ns
Chip Enable to Output in High-Z	t _{CE#H}	30	-	-	ns
Output Enable to Output in High-Z	t _{OEH}	20	-	-	ns
Output Hold from Address Change	t _{OH}	10	-	-	ns

(2) WRITE CYCLE

PARAMETER	SYM.	AS6C1008-55	MIN.	MAX.	UNIT
Write Cycle Time	t _{WC}	55	-	-	ns
Address Valid to End of Write	t _{AV}	50	-	-	ns
Chip Enable to End of Write	t _{CE}	50	-	-	ns
Address Setup Time	t _{AS}	0	-	-	ns
Write Pulse Width	t _{WP}	45	-	-	ns
Write Recovery Time	t _{WR}	0	-	-	ns
Data to Write Time Overlap	t _{DW}	25	-	-	ns
Data Hold from End of Write	t _{DH}	0	-	-	ns
Output Active from End of Write	t _{OA}	5	-	-	ns
Write to Output in High-Z	t _{WOH}	20	-	-	ns

Note: These parameters are guaranteed by device characterization, but not production tested.

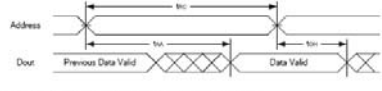
02/February/07, v.1.0 Alliance Memory Inc. Page 4 of 14

February 2007  AS6C1008

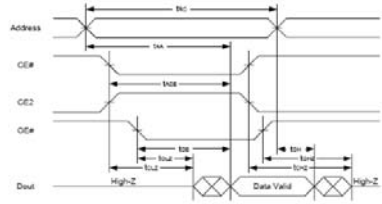
128K X 8 BIT LOW POWER CMOS SRAM

TIMING WAVEFORMS

READ CYCLE 1 (Address Controlled) (1,2)



READ CYCLE 2 (CE# and OE# Controlled) (1,3,4,5)



Notes:
 1. WE# is high for read cycle.
 2. Device is continuously selected CE# = low, OE# = low, CE2 = high.
 3. Address must be valid prior to or coincident with CE# = low, CE2 = high; otherwise t_{AA} is the limiting parameter.
 4. t_{OH}, t_{CE#L}, and t_{CE#H} are specified with C_L = 30pF. Transition is measured at 50% of t_{OH} from steady state.
 5. At any given temperature and voltage condition, t_{OH} is less than t_{CE#L}, t_{OH} is less than t_{CE#H}.

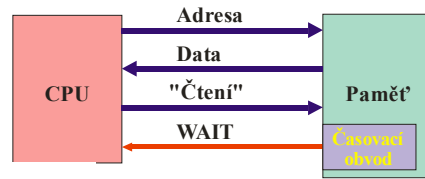
02/February/07, v.1.0 Alliance Memory Inc. Page 5 of 14

K.D. - přednášky POT

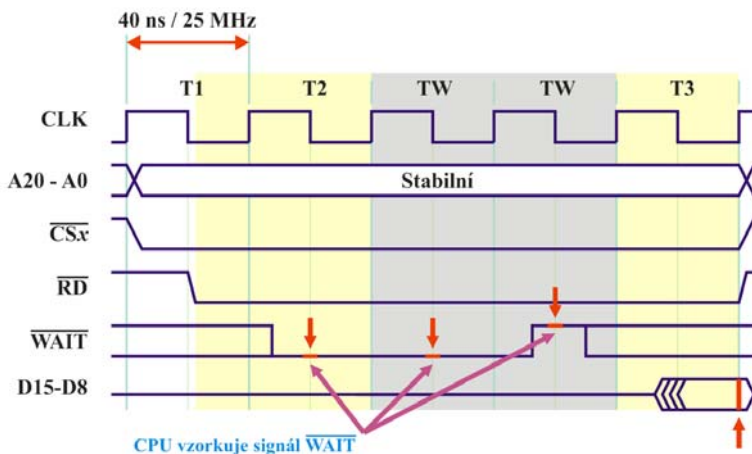
17

Vložení čekacích taktů detailně

- Při ↓ hraně CLK se testuje stav vstupu /WAIT.
- Čekacích taktů lze vložit libovolný počet.
- Může to mít další důsledky.



Signál WAIT



Vložení čekacích taktů

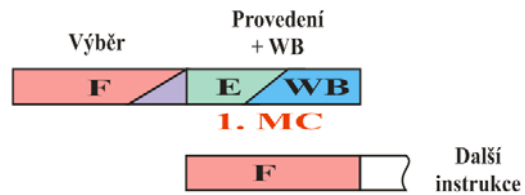
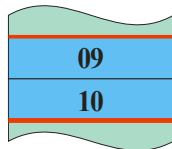
K.D. - přednášky POT

18

Instrukce ADD.W R1,R0

- Kód instrukce je dlouhý 16 bytů.
- Při provádění ADD.W se čte kód další instrukce.
- Při 8bitové sběrnici vyžaduje každý MC pro čtení/zápis word **dva** přístupy do paměti.

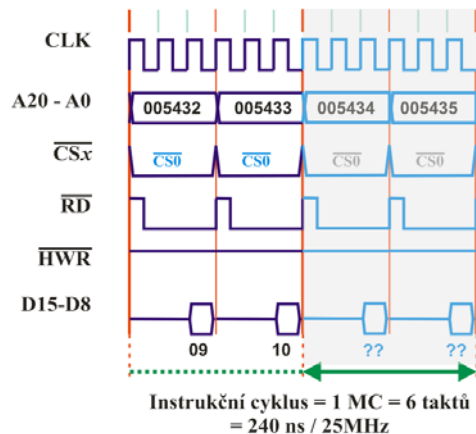
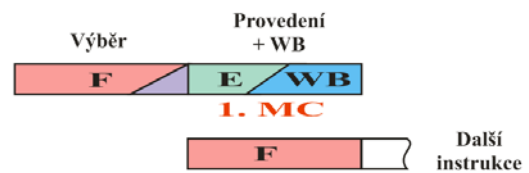
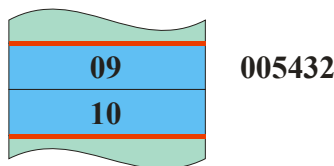
ADD.W R1,R0



Instrukce ADD.W R1,R0

Při 8bitové datové sběrnici vyžaduje každý MC dva přístupy do paměti ⇒ 6 taktů CLK

ADD.W R1,R0



Instrukce ADD.W

Operand Format and Number of States Required for Execution

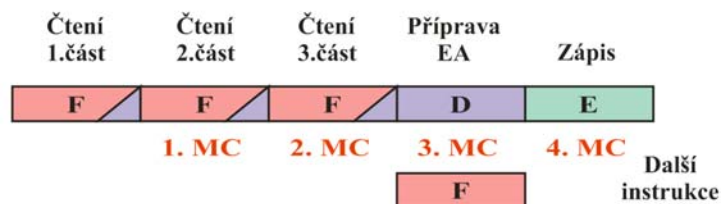
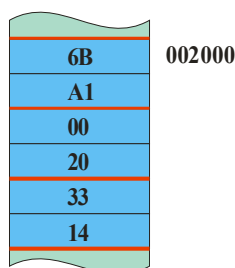
Addressing Mode	Mnemonic	Operands	Instruction Format				No. of States
			1st byte	2nd byte	3rd byte	4th byte	
Immediate	ADD.W	#xx:16, Rd	7 9	1 rd	IMM		2
Register direct	ADD.W	Rs, Rd	0 9	rs rd			1

Instruction	1	2	
ADD.B #xx:8,Rd	R:W NEXT		
ADD.B Rs,Rd	R:W NEXT		
ADD.W #xx:16,Rd	R:W 2nd	R:W NEXT	
ADD.W Rs,Rd	R:W NEXT		
ADD.L #xx:32,ERd	R:W 2nd	R:W 3rd	R:W N
ADD.L ERs,ERd	R:W NEXT		
ADDS #1/2/4,ERd	R:W NEXT		
ADDX #xx:8,Rd	R:W NEXT		

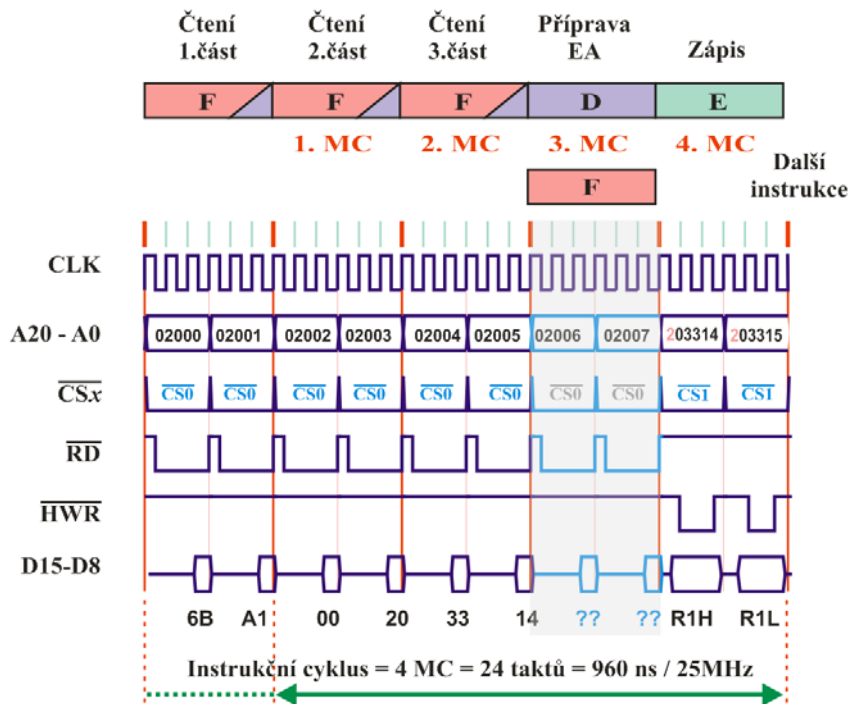
Instrukce MOV.W R1,@adresa

- Kód je dlouhý celkem 6 bytů.
- Před zápisem operandu 1 MC „příprava EA“ ⇒ čte se další instrukce.
- Provedení = zápis word do paměti.
- Při 8bitové sběrnici vyžaduje každý MC pro čtení/zápis word dva přístupy do paměti

MOV.W R1,@00203314



Instrukce MOV.W R1,@adresa



Instrukce MOV.W

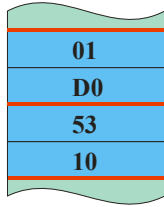
Operand Format and Number of States Required for Execution

Addressing Mode	Mnemonic	Operands	Instruction Format								No. of States				
			1st byte	2nd byte	3rd byte	4th byte	5th byte	6th byte	7th byte	8th byte					
Register indirect	MOV.W	Rs, @ERd	6	9	1	rd	rs								2
Register indirect with displacement	MOV.W	Rs, @(d:16, ERd)	6	F	1	rd	rs	disp							3
	MOV.W	Rs, @(d:32, ERd)	7	8	0	rd	0	6	B	A	rs	disp			5
Register indirect with pre-decrement	MOV.W	Rs, @-ERd	6	D	1	rd	rs								3
Absolute address	MOV.W	Rs, @aa:16	6	B	8	rs	abs								3
	MOV.W	Rs, @aa:32	6	B	A	rs	abs								4

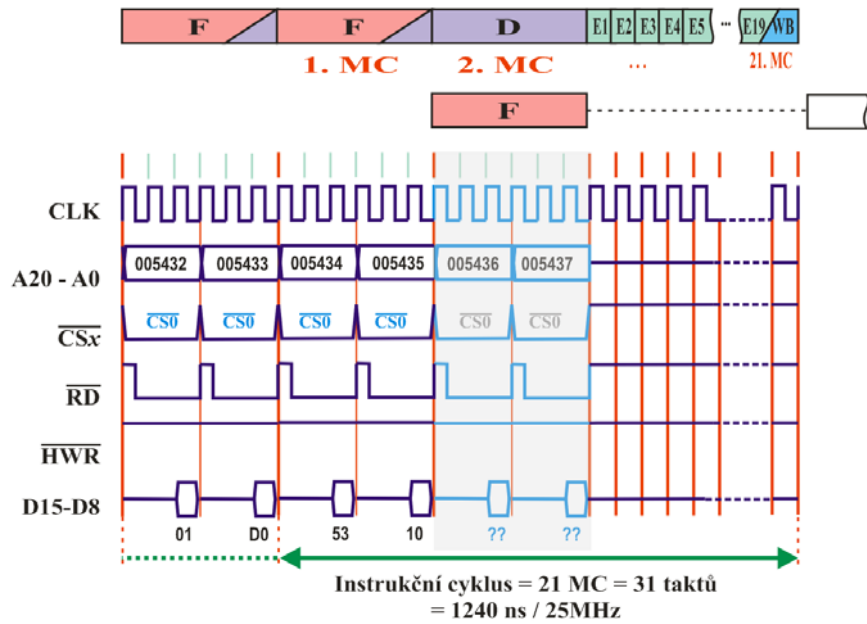
Instruction	1	2	3	4	5
MOV.W Rs,@(d:16,ERd)	R:W 2nd	R:W NEXT	W:W EA		
MOV.W Rs,@(d:32,ERd)	R:W 2nd	R:W 3rd	R:E 4th	R:W NEXT	W:W EA
MOV.W Rs,@aa:16	R:W 2nd	R:W NEXT	W:W EA		
MOV.W Rs,@aa:32	R:W 2nd	R:W 3rd	R:W NEXT	W:W EA	
MOV.W Rs,@-ERd	R:W NEXT	Internal operation, 1 state	W:W EA		
MOVL #xx:32,ERd	R:W 2nd	R:W 3rd	R:W NEXT		
MOVL ERs,ERd	R:W NEXT				
MOVL @ERs,ERd	R:W 2nd	R:W:M NEXT	R:W:M EA	R:W EA+2	
MOVL @(d:16,ERs),ERd	R:W 2nd	R:W:M 3rd	R:W NEXT	R:W:M EA	R:W EA+2
MOVL @(d:32,ERs),ERd	R:W 2nd	R:W:M 3rd	R:W:M 4th	R:W 5th	R:W NEXT

Instrukce DIVXS R1,ER0

DIVXS.W R1,ER0



Cykly E1 – E19 nevyžadují přístup do paměti ⇒ trvají jen 1 takt CLK



Instrukce DIVXS.W

Operand Format and Number of States Required for Execution

Addressing Mode	Mnemonic	Operands	Instruction Format				No. of States	
			1st byte	2nd byte	3rd byte	4th byte		
Register direct	DIVXS.W	Rs, ERd	0	1	D 0	5 3	rs 0 erd	21

DAS Rd	R:W NEXT							
DEC.B Rd	R:W NEXT							
DEC.W #1/2,Rd	R:W NEXT							
DEC.L #1/2,ERd	R:W NEXT							
DIVXS.B Rs,Rd	R:W 2nd	R:W NEXT	Internal operation, 11 states					
DIVXS.W Rs,ERd	R:W 2nd	R:W NEXT	Internal operation, 19 states					
DIVXU.B Rs,Rd	R:W NEXT	Internal operation, 11 states						
DIVXU.W Rs,ERd	R:W NEXT	Internal operation, 19 states						
EPMOV.B	R:W 2nd	R:B EAs *1	R:B EAd *1	R:B EAs *2	W:B EAd *2	R:W NEXT		
EPMOV.W	R:W 2nd	R:B EAs *1	R:B EAd *1	R:B EAs *2	W:B EAd *2	R:W NEXT		
EXTS.W Rd	R:W NEXT			← Repeated n times*3 →				
EXTS.L ERd	R:W NEXT							
EXTU.W Rd	R:W NEXT							

Univerzální sběrnice (1)

- Sběrnice procesoru H8S je používána jen pro tento typ procesoru (tzv. proprietární sběrnice).
- Jiné procesory (Pentium, Power PC, ARM, MIPS, ColdFire, ...) mají též jinou sběrnici.
- Univerzální sběrnice (PCI, VME, AGP, PC104, ...) :
 - Jsou navrženy bez závislosti na konkrétním typu procesoru.
 - Větší univerzálnost.
 - Pro připojení procesoru, paměti a periferních obvodů jsou obvykle nutné doplňkové obvody.

Univerzální sběrnice (2)

- Univerzální sběrnice (PCI, VME, AGP, PC104, ...) :
 - Jsou navrženy bez závislosti na konkrétním typu procesoru.
 - Větší univerzálnost.
 - Pro připojení procesoru, paměti a periferních obvodů jsou obvykle nutné doplňkové obvody („glue logic“).

